

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R) File 347:JAPIO  
(c) 1998 JPO & JAPIO. All rts. reserv.

04036224

EXTERNAL STORAGE SYSTEM USING SEMICONDUCTOR MEMORY AND CONTROL METHOD  
THEREOF

PUB. NO.: 05-027924 JP 5027924 A]

PUBLISHED: February 05, 1993 (19930205)

INVENTOR(s): SAKAGAMI YOSHIKATSU

NIIJIMA HIDETO

APPLICANT(s): INTERNATL BUSINESS MACH CORP <IBM> [000709] (A Non-Japanese  
Company or Corporation), US (United States of America)

APPL. NO.: 03-197318 [JP 91197318]

FILED: July 12, 1991 (19910712)

INTL CLASS: [5] G06F-003/08; G11C-016/06

JAPIO CLASS: 45.3 (INFORMATION PROCESSING -- Input Output Units); 45.2  
(INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &  
Microprocessors)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-27924

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 3/08

G 1 1 C 16/06

識別記号

H 7165-5B

9191-5L

庁内整理番号

F I

G 1 1 C 17/ 00

技術表示箇所

3 0 9 F

審査請求 有 請求項の数20(全 36 頁)

(21)出願番号 特願平3-197318

(22)出願日 平成3年(1991)7月12日

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72)発明者 坂上 好功

東京都北区豊島1-8-5-803

(72)発明者 新島 秀人

東京都豊島区南大塚2-42-9-203

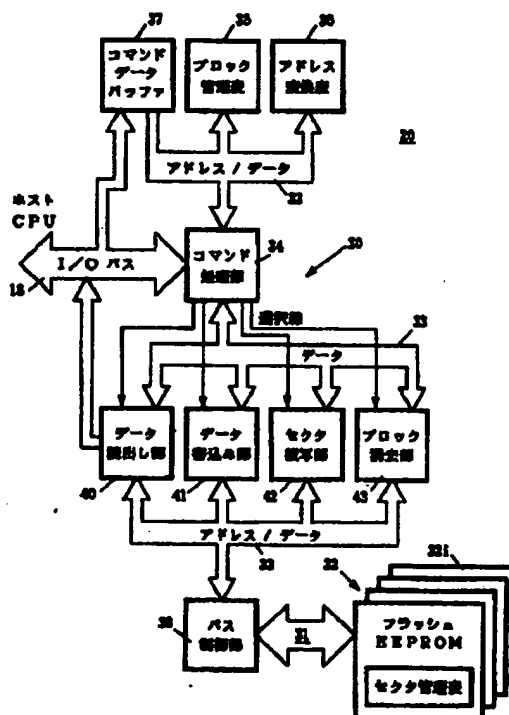
(74)代理人 弁理士 額宮 孝一 (外4名)

(54)【発明の名称】 半導体メモリを用いた外部記憶システム及びその制御方法

(57)【要約】

【目的】 ホストCPUと間のデータの読出し、書き込みを従来の磁気ディスクよりも高速に処理でき、かつ特定のセクタだけが頻繁に書き込み消去されることがなく全メモリが長期間有効に使用される、半導体メモリを用いた外部記憶システムを提供する。

【構成】 ホストCPUと外部記憶装置のアドレス関係に柔軟性を与え、ホストCPUのコマンドの持つ論理アドレスによって半導体メモリの物理アドレスが一方的に決定されることのないようなアドレス制御方式を導入した。コマンド処理部34は、ホストCPUのコマンド処理に備えて、書き込みあるいは消去、複写用のメモリ・ブロックやセクタを常に準備し、この選ばれたメモリ・ブロック32iやセクタの物理アドレスとホストCPUのコマンドとの対応関係を、アドレス交換表36に記録、保持する。メモリ・ブロックやセクタの状況は夫々の管理表35、60に記録され、ホストCPUのコマンドに備えたあるいは応答した書き込み、消去、複写等の処理の制御に利用される。



## 【特許請求の範囲】

【請求項1】フラッシュ・メモリで構成され、それぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る外部記憶装置としての半導体メモリと、前記メモリ・ブロックに対する制御を行う制御部とを備え、データおよびコマンドを転送するバスを介してホスト・プロセッサに接続された外部記憶システムにおいて、前記制御部が、各メモリ・ブロックの消去回数及び各メモリ・ブロックと各セクタの状況を記録したブロック管理手段の記録に基づき、データの書き込みや消去を行うメモリ・ブロックを選定し、前記ホスト・プロセッサの前記コマンドに含まれる論理アドレスをアドレス変換手段によって特定のメモリ・ブロック内のセクタを示す物理アドレスに変換し、前記コマンドにตอบสนองして、該当するセクタに対するデータの書き込み、読出しあるいはメモリ・ブロックの消去の処理を行い、これらの処理による各セクタやメモリ・ブロックの状況変化を前記ブロック管理手段に逐次記録しもしくは更新し、前記処理がなされたメモリ・ブロックやセクタについてそれらの物理アドレスと論理アドレスとの関係を前記アドレス変換手段に記憶しもしくは更新する、ことを特徴とする外部記憶システムの制御方法。

【請求項2】請求項1において、前記制御部は、前記ホスト・プロセッサのコマンドを割り込みによって受付け、前記コマンドがデータ読出しコマンドであるときこれにตอบสนองして該コマンドの論理アドレスに相当する前記メモリ・ブロックの該当するセクタのデータ読出しの処理を実行し、前記コマンドが書き込みもしくは消去コマンドであるとき、これらのコマンド及びデータをバッファに保持し、前記ホスト・プロセッサからの割り込みコマンドがないときに前記選定されたメモリ・ブロックまたはセクタに対し前記書き込みもしくは消去の処理を実行する、ことを特徴とする外部記憶システムの制御方法。

【請求項3】請求項1において、前記制御部は、前記メモリ・ブロックの中の特定のメモリ・ブロックの消去回数が他のいずれのメモリ・ブロックの消去回数よりも所定値だけ小さいときは、該メモリ・ブロックを優先的に選んで消去対象として選定する、ことを特徴とする外部記憶システムの制御方法。

【請求項4】請求項1において、前記制御部は、前記ブロック管理手段の記録に基づき、前記消去されるメモリ・ブロックの有効なセクタのデータを複写するための空白セクタを持つメモリ・ブロックを選定し、前記メモリ・ブロックの消去に先立ち、該選定されたメモリ・ブロックに前記データを複写する、ことを特徴とする外部記憶システムの制御方法。

【請求項5】ホスト・プロセッサと、フラッシュ・メモリで構成されそれぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る外部記憶装置としての半導体メモリと、前記メモリ・ブロックに対する制御を行う制御部とを備えたコンピュータ・システムにおいて、

前記制御部が、

前記ホスト・プロセッサの前記コマンドに含まれる論理アドレスをアドレス変換手段によって特定のメモリ・ブロック内のセクタを示す物理アドレスに変換し、各メモリ・ブロックの消去回数及び各セクタとメモリ・ブロックの状況を逐次記録したブロック管理手段の記録に基づき、データの書き込み用メモリ・ブロック、該データ書き込み用メモリ・ブロックを確保するために次に消去する消去用メモリ・ブロックを各々選定し、前記ホスト・プロセッサから受け取った書き込みデータを前記書き込み用メモリ・ブロックに書き込み、前記選定された消去用メモリ・ブロックを消去する、ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項6】請求項5において、前記制御部が、

前記メモリ・ブロックの中の特定のメモリ・ブロックの消去回数が他のいずれのメモリ・ブロックの消去回数よりも所定値だけ小さいときは、該メモリ・ブロックを優先的に選んで消去用メモリ・ブロックとして選定する、ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項7】請求項5において、前記制御部は、

前記ホスト・プロセッサのコマンドを割り込みによって受付け、

前記コマンドがデータ読出しコマンドであるときこれにตอบสนองして該コマンドの論理アドレスに相当する前記メモリ・ブロックの該当するセクタのデータ読出しの処理を実行し、

前記コマンドが書き込みもしくは消去コマンドであると

とき、これらのコマンド及びデータをバッファに保持し、前記ホスト・プロセッサからの割り込みコマンドがないときに該当するメモリ・ブロックまたはセクタに対し前記書き込みもしくは消去の処理を実行する、

ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項8】請求項5において、前記制御部は、

前記メモリ・ブロックの該当するセクタからのデータ読出しの処理と、前記メモリ・ブロックまたはセクタに対しする前記書き込みもしくは消去の処理とを時分割処理によって実行する、

ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項9】請求項5において、前記制御部は、

前記ホスト・プロセッサからのセクタ書き込みコマンドに

応答して前記選定されたメモリ・ブロックの空白セクタに前記データを書込むと共に、前記セクタ書き込みコマンドの論理アドレスが書き込み済みの有効セクタの論理アドレスと同じときは該有効セクタのデータは消去せず、ブロック管理手段の該有効セクタに関する状況の記録だけを無効に書換え、前記空白セクタの物理アドレスを前記アドレス変換手段に書き込む、ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項10】請求項5において、前記制御部は、前記メモリ・ブロックの消去に先立ち、該メモリ・ブロックの消去回数に関する記録を退避し、該メモリ・ブロックの消去の後、該メモリ・ブロックに書き戻す、ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項11】請求項5において、前記制御部は、前記ホスト・プロセッサ側で保有する新しいファイル配置情報と外部記憶システム側で保有する古いファイル配置情報との比較によって前記メモリ・ブロックの消去に関する前記ブロック管理手段の記録を更新する、ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項12】データおよびコマンドを転送するホスト・バスを介してホスト・プロセッサに接続される外部記憶システムあって、

前記外部記憶システムは、フラッシュ・メモリで構成され、それぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る外部記憶装置としての半導体メモリと、

前記ホスト・プロセッサから受け取った論理アドレスを特定のセクタの物理アドレスに変換するアドレス変換手段と、

各メモリ・ブロックとセクタの状況を記録するブロック管理手段及び、

前記ブロック管理手段の記録を用い、前記コマンドに応じて前記半導体メモリの各セクタに対するデータの読出し、書込みもしくはメモリ・ブロックの消去を制御するコマンド処理部とを備えている、

ことを特徴とする外部記憶システム。

【請求項13】請求項12において、前記制御部は、該コマンド処理部の処理に基づいて前記半導体メモリの該当メモリ・ブロックやセクタに対するデータの書込み、読出しもしくは消去の処理を行う、データ書込み部、データ読出し部、ブロック消去部及び消去されるメモリ・ブロックの有効セクタを他のメモリ・ブロックに複写するセクタ複写部とを備えている、

ことを特徴とする外部記憶システム。

【請求項14】請求項12において、前記制御部は、マイクロ・プロセッサによって構成されるコマンド処理部、データ書込み部、データ読出し部、ブロック消去部

及び消去されるメモリ・ブロックの有効セクタを他のメモリ・ブロックに複写するセクタ複写部と、

RAM上に構成されるブロック管理表、アドレス変換表及びバッファと、

各メモリ・ブロック上に設けられ前記ブロック管理表と共に前記ブロック管理手段を構成するセクタ管理表とを備えた、

ことを特徴とする外部記憶システム。

10 【請求項15】請求項12において、前記制御部は、ホスト・プロセッサ上構成されるコマンド処理部と、主記憶装置のRAM上に構成されるブロック管理表とアドレス変換表と、

バッファを含むメモリ・コントローラと、

前記各メモリ・ブロック上に設けられ前記ブロック管理表と共に前記ブロック管理手段を構成するセクタ管理表とを備えた、

ことを特徴とする外部記憶システム。

20 【請求項16】ホスト・プロセッサと、フラッシュ・メモリで構成され、それぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る半導体メモリを備えた外部記憶システムと、該外部記憶システムと前記ホスト・プロセッサ間でデータおよびコマンドを転送するためのホスト・バスを含むコンピュータ・システムにおいて、

前記ホスト・プロセッサからのアドレスを特定のセクタの物理アドレスに変換するアドレス変換手段及び各メモリ・ブロックとその中の各セクタの状況を記録するブロック管理手段を用いて、前記コマンドに応じて前記半導体メモリの各セクタに対するデータの読出し、書込みおよびメモリ・ブロックの消去を制御する制御手段とを具備し、

該制御手段は、前記ホスト・プロセッサからのコマンドに応じて前記半導体メモリの該当セクタに対するデータの書込み、読出しもしくはメモリ・ブロックの消去の処理を実行すると共に、これらの処理に伴って前記ブロック管理手段の各メモリ・ブロック及び各セクタの状況の記録を更新する手段を有する、

ことを特徴とするコンピュータ・システム。

40 【請求項17】請求項16において、前記コンピュータ・システムは、ホスト・バスを介してホスト・プロセッサ及び外部記憶システムに接続された表示手段を有し、前記制御手段は、

前記メモリ・ブロックのいずれにも空白セクタが無く、かつ消去すべきメモリ・ブロックも無くなったときに、前記半導体メモリが交換すべき状態にあることを前記表示手段に出力する、

ことを特徴とするコンピュータ・システム。

50 【請求項18】請求項16において、前記コンピュータ・システムは、ホスト・バスを介してホスト・プロセッサ及び外部記憶システムに接続された対話型の表示手段を

有し、  
前記制御装置は、  
前記表示手段を介した対話によってユーザからファイル回復の要否の情報を受取り、ファイルの回復が必要なとき、コンピュータ・システムが保有するファイル配置情報を参照してファイルの内容を表示し、ユーザの確認を得て前記ファイルの回復を行う、  
ことを特徴とするコンピュータ・システム。

【請求項19】フラッシュ・メモリで構成され、それぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る半導体メモリにおいて、  
前記各メモリ・ブロックに、該メモリ・ブロックの消去回数及び各セクタの状況を表す記録を格納する特定の領域を設けた、  
ことを特徴とする半導体メモリ。

【請求項20】請求項19において、  
前記特定の領域は、各メモリ・ブロック内に含まれる全セクタの状況を記録するセクタ管理表として各メモリ・ブロック毎に一個設けられたものである、  
ことを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラッシュEEPROMまたはフラッシュ・メモリと呼ばれる消去型不揮発性メモリを用いた半導体メモリに関するもので、特に、従来のコンピュータ・システムにおける磁気ディスクと代替可能な半導体外部記憶システムに係わるものである。

【0002】

【従来の技術】ノートブック等の携帯可能なパーソナル・コンピュータの普及に伴って、コンピュータ・システムの小型軽量化、低消費電力化に対する要求が強くなってきている。半導体メモリを用いた外部記憶システムは、磁気ディスクのように駆動系を持たないため、消費電力が低く、高速動作が可能である。また、小さなメモリ・モジュールで構成されるため、磁気ディスクに比べて小型で軽く、形状に自由度が大きく、カード化も容易である。

【0003】しかし、従来の半導体メモリにはコスト、容量、電池バックアップなどの点でまだ問題が多い。メモリとしてSRAMを使うと電池によるバックアップの時間は長くなるが、コストが高く、容量も小さくなってしまふ。コスト、容量に優れたDRAMでは、スタンバイ時の消費電力が大きく、バックアップの時間が一週間程度に限られてしまふ。電池系の事故によるデータ消失の危険もある。EEPROMは電池を必要としないが、コストが高すぎる。

【0004】これらの問題を解決するメモリとして一括消去型のフラッシュ・メモリが開発されている。DRAMと同じくトランジスタ1つで記憶素子が構成され、高密度化が可能で、将来の市場次第でDRAMと同等かそ

れ以下のビット単価（低コスト、大容量）になることが期待されている。記憶素子は不揮発性であり、電池バックアップの必要はない。Richard D. Pashley外の"Flash memories: the best of two worlds", IEEE SPECTRUM 1989年12月、30~33頁は、このようなフラッシュ・メモリの概要を紹介している。また、特開平2-10598号公報にも同様なフラッシュ・メモリが示されている。

【0005】しかし、フラッシュ・メモリにはSRAMやDRAMにはない制限がある。まず、消去回数には上限があって十万回程度が限度である。しかも、メモリ・ビットのプログラミングは一方通行で、0から1または1から0へしか変えることができない。逆方向へ変えるには、一括消去によってメモリ・ブロック全体を0または1にする必要がある。消去には通常数十ミリ秒単位の時間がかかり、また、一括消去にはペリフェイなどの特別な手順が必要とされるが、そのために更に数秒の時間を要する。

【0006】

【発明が解決しようとする課題】このようなフラッシュ・メモリで構成される半導体メモリを、従来の磁気ディスクに代えてホスト・コンピュータのバスに接続すると、特定のセクタはホスト・コンピュータによって非常に頻繁に書込まれて、他のセクタよりかなり早く消去回数の上限に達してしまう。また、セクタ書込みに非常に時間がかかる。これは、セクタ中の数バイトを変更するのに、そのセクタを含むメモリ・ブロック内のデータ全てをホスト・コンピュータのメモリ空間に一時的に退避し、メモリ・ブロックを一括消去した後、空白のセクタに新しいデータを書き戻すからである。1メガビット以上の容量を持つ半導体メモリではセクタ書込みに数秒かかってしまふ。また、半導体メモリをホスト・コンピュータのバスに接続するためには、特別のプログラムが必要となる。

【0007】これらの問題を解決するために、セクタ消去型のフラッシュ・メモリの開発が進められている。例えば、シーク・テクノロジー(SEEK TECHNOLOGY)社の27F010(024KフラッシュEPROM)は、メモリ・チップの全ビットを消去(論理1に変更)するチップ消去のほか、その中の特定のセクタだけを消去するセクタ消去が可能である。この方式では消去対象外の余分なセクタの退避や書き戻しが避けられる。しかし、セクタ書込み時に古いセクタの消去も併せて行うため、数十ミリ秒単位の時間がかかり、磁気ディスクと同程度かそれ以下の性能しか得られない。また、特定のセクタがホスト・コンピュータによって非常に頻繁に書込まれて他のセクタよりかなり早く許容消去回数に達してしまふ、フラッシュ・メモリ全体としてセクタの有効な利用が出来ないという問題は、解決されない。更に、セクタ消去型は記憶素子やチップ構造が一括消去型よりも複雑で、コストおよび消去回数の面でも解決すべき問題があ

るとされている。

【0008】ところで、これらの問題の多くは、ホスト・コンピュータによって外部記憶装置のブロックや、セクタのアドレスが支配される、即ちホスト・コンピュータのコマンドの持つ論理アドレスによって外部記憶装置の物理アドレスが決定される制御方式に起因すると考えられる。

【0009】本発明の目的は、ホスト・コンピュータとの間のデータの読出し、書込みを従来の磁気ディスクよりも高速に処理できる半導体メモリを用いた外部記憶システムを提供することにある。

【0010】本発明の他の目的は、半導体メモリ内の特定のセクタだけが頻繁に書込み、消去されることがなく、全てのメモリが長期間有効に使用される半導体外部記憶システムを提供することにある。

【0011】本発明の他の目的は、コンピュータ・システムに接続する場合、従来の磁気ディスクと互換性のある半導体外部記憶システムを提供することにある。

【0012】本発明の他の目的は、書込み中に電源が遮断しても、容易にファイルを復旧できる半導体外部記憶システムを提供することにある。

【0013】

【課題を解決するための手段】これらの目的は、ホスト・コンピュータと外部記憶装置のアドレス関係に柔軟性を与え、ホスト・コンピュータのコマンドの持つ論理アドレスによって外部記憶装置の物理アドレスが一方向的に決定されることのないようなアドレス制御方式を導入することによって解決される。外部記憶装置側では、ホストのコマンド処理に備えて、書き込みあるいは複写用のメモリ・ブロックやセクタを常に準備し、この選ばれたメモリ・ブロックやセクタの物理アドレスとホスト・コンピュータのコマンドとの対応関係を、アドレス変換表に記録、保持する。メモリ・ブロックやセクタの状況は夫々の管理表に記録され、管理される。

【0014】外部記憶装置側では、ホスト・コンピュータの処理速度や、半導体メモリの利用効率を考慮して最適のメモリ・ブロックやセクタを選択できる。しかもホストのコマンドを待たずに、あるいは、ホストのコマンドと並行してコマンドの処理を行うことによって、ホスト・コンピュータの処理速度を向上させることが出来る。つまり、ブロック管理手段の記録に基づき、データの書込みや消去の可能なメモリ・ブロックを予め準備して、ホスト・プロセッサのコマンドに回答した迅速な処理を可能にしている。さらに、半導体メモリのメモリ・ブロックやセクタを総合的に管理し、利用効率を考慮して自由に物理アドレスを選定することができるので、半導体メモリ内の特定のメモリ・ブロックが不必要に頻繁に消去されることがなくなり、全てのメモリが長期間有効に使用される。ホスト・コンピュータは、物理アドレスを考慮することなく外部記憶装置にコマンドを与え、

処理結果を受け取る事ができるので、従来の磁気ディスク装置との互換性も確保される。また、ホスト・プロセッサのコマンド・アドレスに直結した書替えをしないので、容易にファイルを復旧することもできる。

【0015】本発明のより具体的な特徴によれば、半導体外部記憶システムは、フラッシュ・メモリで構成され、それぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る半導体メモリと、アドレス変換表、ブロック管理手段及び、コマンド処理部を備え、前記アドレス変換表は、セクタやメモリ・ブロックの物理アドレスとホスト・コンピュータのコマンドとの対応関係を記録するものであり、前記ブロック管理手段は、各メモリ・ブロックの消回数及び各メモリ・ブロックと各セクタの状況を記録したものであり、前記コマンド処理部が、前記ブロック管理手段の記録に基づき、データの書込みや消去を行うメモリ・ブロックを選定し、前記コマンドに回答して、前記アドレス変換表から得られる物理アドレスを持つメモリ・ブロックやセクタに対してデータの書込み、読出しあるいは消去の処理を行い、これらの処理による各セクタやメモリ・ブロックの状況変化を前記ブロック管理手段に逐次記録、更新し、さらに、これらのセクタやメモリ・ブロックの物理アドレスとホスト・コンピュータのコマンドとの対応関係を、前記アドレス変換表に記録、更新し、前記ブロック管理手段の記録に基づき、次にデータの書込みもしくは消去を行うメモリ・ブロックを選定する。

【0016】

【実施例】本発明の半導体外部記憶システムを組み込んだコンピュータ・システムの一例を図1に示す。CPU 10はシステム・バス13を介して、主記憶装置15、バス制御装置16およびオプションの数値計算用コプロセッサ14と通信する。CPU 10および関連する周辺装置の間の通信はバス制御装置16を介して行われる。そのため、バス制御装置16はファミリー・バス18によって周辺装置に接続されている。周辺装置としては、本発明の実施例になるフラッシュ・メモリ製の外部記憶システム20が接続され、さらに、通信装置21、ハード・ファイル22、光ディスク23もファミリー・バス18に接続されている。24は、ディスプレイ・コントローラ、25は、CRTである。勿論、他の周辺装置も接続可能である。このようなコンピュータ・システムは、例えば、IBM PS/2パーソナル・コンピュータによって構築することが出来る。

【0017】直接メモリ・アクセス制御装置(DMAC)12は、これらの周辺装置の全部または選択された何台かによるメモリ・アクセスを可能にすべく設けられる。そのため、ファミリー・バス18は、少なくともその一部がDMAC 12に分岐接続される。図には示していないが、DMAアクセスが可能な各周辺装置にはアービトレーション回路が設けられ、アービトレーション・

レベル（優先順位）を割り当てられる。DMAC12の側には、DMAアクセスを同時に要求している複数の周辺装置の間で調停作業を行って、どの周辺装置がDMAアクセスを許可されたかをDMAC12に知らせる中央アービトレーション制御回路11が設けられる。DMAC12および中央アービトレーション制御回路11によるDMA制御の詳細については米国特許第4901234号公報を参照されたい。

【0018】図2に、半導体外部記憶システム20の機能的な構成の詳細を示す。この半導体外部記憶システムは、ファミリー・バス18に接続された制御装置30と、半導体メモリ・バス31に接続されたフラッシュ・メモリ32を含む。制御装置30は、制御装置バス33によって相互接続されたコマンド処理部34、ブロック管理表35、アドレス変換表36およびバッファ37を含む。フラッシュ・メモリ32は、それぞれ複数のセクタを含む複数のメモリ・ブロック320（321～32i）から成っている。本実施例では、メモリ・ブロック320として、1から0への変化だけが可能であり、一括消去によってオール1に設定されるフラッシュ・メモリ・チップを仮定しているが、これらが逆のチップを使うことも可能である。コマンド処理部34は、アービトレーション回路を含み、DMA転送および入出力制御を行う。アドレス変換表36は、CPU10からファミリー・バス18を介して送られてきた論理アドレスをフラッシュ・メモリ32の物理アドレスに変換するものであり、ランダム・アクセス・メモリで構成されている。このランダム・アクセス・メモリにはバッファ37を含めることができる。

【0019】バス制御部38は、半導体メモリ・バス31と制御装置・バス33を相互接続するための周知のレーバ/ドライバ構成を持っている。本実施例では、バス制御部38はバス31および33間で16ビットの並列転送を行うように構成されているが、勿論本発明はこのような並列転送に限定されるものではない。コマンド処理部34は、データの読出し部40、書込み部41、複写部42及びブロック消去部43を管理する。

【0020】フラッシュ・メモリ32はセクタの集まりとして管理される。本実施例では、フラッシュ・メモリ32を構成する各メモリ・ブロック320は512のセクタから成り、かつ各セクタは512バイトを含んでいる。これらのセクタ数およびバイト数は、メモリ・ブロック320の記憶容量やアーキテクチャに応じて変えられる。

【0021】なお、本発明において、メモリ・ブロックとは、ブロック消去部によって一括消去されるメモリ・チップ上領域のを意味する。本実施例では、一つのメモリ・ブロックが、一つのメモリ・チップに対応しているが、一つのメモリ・チップに複数のメモリ・ブロックが存在する場合もあり、また、後述するセクタ消去型の例

のように、一つのセクタが一つのメモリ・ブロックに相当する場合もある。

【0022】図3は、図2の半導体外部記憶システム20のハード構成を示したものである。図において、コマンド処理部34、データの読出し部40、書込み部41、複写部42及び消去部43の各機能部は、マイクロプロセッサ50で構成する。このマイクロプロセッサ50を制御するマイクロコードは、ROM52に格納される。ブロック管理表35及びアドレス変換表36は、頻繁に書き換えられ、非常に速いアクセスが要求されるため、RAM54上に実現する。マイクロプロセッサ50は、I/Oレジスタ56を通じて随時ホストCPU10と通信する。データ転送制御装置58は、I/Oバス18とローカルバス33を必要に応じてつなぎ、バッファ37およびフラッシュメモリ（EEPROM）40との間のデータ転送を可能にする。データ転送時以外には、これらのバスは切りはなされており、マイクロプロセッサ50がホストCPU10と独立に機能することが出来る。

【0023】図4に示すように、各メモリ・ブロック320の最初の数セクタはセクタ管理表60として使われ、各セクタの状況64および論理アドレスL66が格納される。各メモリ・ブロック320の残りのセクタは、データ領域70（70A～70N）として使用される。セクタ管理表60の大きさは当該メモリ・ブロックおよびそれに含まれるセクタの容量によって決り、上述したブロック当り512セクタ、セクタ当り512バイトの例では、セクタ管理表として4セクタが必要である。各セクタ70A～70Nには、後述するように物理アドレスが割り当てられる。セクタ管理表60を含むこれらのセクタは、フォーマット・プログラムによりメモリ・チップ上にフォーマットされる。

【0024】セクタ管理表60は各4バイトの複数のエントリを含み、その最初のエントリには、関連するメモリ・ブロック40の消去回数62が格納される。2番目のエントリには、関連するメモリ・ブロックにおいてデータ領域70Aとして使用される最初のセクタ（今の場合はセクタ4）の状況64および論理アドレス66が格納される。3番目のエントリには、その次のセクタ70B、すなわちセクタ5の状況64および論理アドレス66が格納され、以下同様に、後続の各セクタの状況および論理アドレスが順次に格納される。

【0025】セクタの状況64は、下記のように、4ビットの状況フラグで表される。状況フラグは、フラッシュ・メモリ上にあるため、ビットの変化が一方向に限定される。

【0026】1111=空白

1110=有効

1100=無効

0000=消去中



11

【0027】セクタ管理表60の状況64に基づいてメモリ・ブロック毎の状況が、ブロック管理表35に記録される。図6にブロック管理表35の一例を示し、メモリ・ブロック*i*毎の、空白セクタ数 $B(i, 1)$ 72、有効セクタ数 $B(i, 2)$ 74及びメモリ・ブロック全体の空白セクタ数 $B(, 1)$ 76が記録される。

【0028】再び図2、図3に戻って、コマンド処理部34は、バッファ37を介してCPU10と通信する。すなわち、CPUコマンドおよびデータはDMAC12の制御のもとにバッファ37にDMA転送され、コマンド処理部34はバッファ37からコマンドを取り出して実行する。フラッシュ・メモリ32は、CPU10からはハード・ディスクやフロッピー・ディスクのように見えるので、バッファ37に転送されるコマンドは、このようなディスクに対するコマンドと同じタイプであり、OPコードの他にセクタ・アドレスLを含む。外部記憶システム20において、このセクタ・アドレスLは論理アドレス66として扱われる。このセクタ・アドレスL（論理アドレス66）とメモリ・ブロック40の物理アドレスA(L)68（ポインタ *i, j*）の関係を与えるアドレス変換表36が、図5に示すような構成で、RAM54上に保持される。

【0029】次に、外部記憶システム20の制御装置30の動作を説明する。コマンド処理部34は、通常、独立してセクタの書き込み、ブロック消去等の処理を実行する。そして、ホストCPU10からのコマンド及びデータを割り込みによって受け取る。図7〜図8に、この通常の処理の概要を示す。まず、図7（図7A〜7C）の最初のステップにおいて、ブロック管理表とアドレス変換表の初期化を行う（702）。次に電源の遮断等のためファイルの回復が必要か否かを判断し、必要ならばその処理を行う（704、706）。次に、ホストCPU10からバッファ37に送られて来たコマンドがあるかチェックする（708）。もし書き込みコマンドがあれば、メモリ・ブロック40内の空白セクタの有無をチェックし（総数 $B(, 1) > 0$ ）、空白セクタがあれば書き込みを行う（710〜714）。セクタ消去コマンドであれば、該当セクタの消去処理を行う（716、718）。もし、あるメモリ・ブロックが消去すべきメモリ・ブロック*i*eと判定されたときは、ブロック消去の処理（詳細は後述する）を開始する。このブロックの消去処理に際しては、後述するように、有効セクタを退避させるために、他のメモリ・ブロックへのセクタ複写を行う。このセクタ複写が終了すると、コマンド処理部はメモリ・ブロック*i*eの消去回数を保持した後、該当メモリ・ブロック*i*eの一括消去をブロック消去部43に命令する（720〜724）。消去回数は、前に述べたように、セクタ管理表の最初の4バイトに記憶、管理し、消去完了後一つ増やして書戻す（728）。次に、消去したブロック*i*eを空白ブロック*i*bとし（7

12

30）、セクタ管理表及びブロック管理表35の記録を更新する。すなわち、メモリ・ブロック*i*内の空白セクタの数 $B(i, 1)$ をMとし、有効セクタの数 $B(i, 2)$ を0とする（732、734）。

【0030】ただし、一括消去すべきあるメモリ・ブロック*i*の消去回数が消去候補のメモリ・ブロック*i*eの消去回数より或る値以上に小さい時には、「有効」セクタの数の大小に関係なく、このメモリ・ブロック*i*を優先的に消去候補のメモリ・ブロック*i*eとして選んで、消去回数の均一化を図る（736）。全てのメモリ・ブロックにもはや消去すべきメモリ・ブロック*i*eがなく、かつ空白セクタ*i*wも存在しなければ、CRT25（図1）にメモリ交換の表示を行う（738、740）。この表示は、余裕をもたせるべく、早めに行うようにしてもよい。

【0031】ホストCPU10から外部記憶システム20に対する処理要求は前記した通常処理に対する割り込みによって受け付けられる。図8に示すように、コマンド処理部34はホストCPU10からのコマンドを受け付けたとき（802）、セクタ読出し（804、806）、セクタ書き込みに必要な処理（808、810）あるいはセクタ消去に必要な処理（812、814）を実行する。各コマンドを実行する場合、コマンド処理部34はそのコマンド中の論理（セクタ）アドレス66についてアドレス変換表36を検索し、対応する物理アドレス68を得る。物理アドレス68は、フラッシュ・メモリ32の特定のメモリ・ブロック32*i*を指定するブロック・アドレス（*i*）と、そのブロック内の特定のセクタ*j*を指定するセクタ・アドレス（*j*）とから成っている。

【0032】次に、上記コマンド処理部34の各処理の詳細について述べる。最初はブロック管理表とアドレス変換表の初期化（図7A、ステップ702）である。図9（図9A、9B）は、このブロック管理表とアドレス変換表の初期化の処理の詳細である。ブロックの番号*i*、セクタ番号*j*を初期化し空白セクタ数 $B(i, 1)$ 、有効セクタ数、有効セクタの数 $B(i, 2)$ を共にゼロにし（902、904）、セクタ管理表60からブロック*i*内の*j*番目のセクタの状況とポインタLのデータS(*i, j*)を得る（906）。もし、セクタが空白であればブロック*i*内の空白セクタの数 $B(i, 1)$ に1を加える。セクタが空白でなければ、次にセクタが有効かチェックし、有効ならば、アドレス変換表36のL番目のA(L)に物理アドレス68を格納し（914）、有効セクタの数 $B(i, 2)$ に1を加える（916）。以下同様にセクタ番号*j*がブロック*i*内のセクタ総数Mになるまで同様の処理を行う（920）。さらに、全てのブロックNについて同様の処理を繰り返す（922〜924）。そして次にセクタ書き込みを行うブロックの番号*i*w、消去コマンドを受け取ったとき消去する候補ブロックの番号*i*e、消去時にデータの退避

13

を行うべき空白ブロックの番号  $i, b$  を決定する (926)。

【0033】次に、ファイルの回復 (図7A、ステップ706) について述べる。従来の磁気ディスク・システムでは、セクタ書替え時、データがセクタ上に上書きされるので、例えばファイル (ブロック管理表とアドレス変換表を含む) の書き込みの途中で電源に事故が生じると、古いファイル、新しいファイルの両方とも失われてしまう。これに対して、本発明では、セクタ書替え時、古いセクタに上書きすることなく新しいセクタを見つけたため古いデータはそれを含むブロックが消去されるまでの間、有効であり続ける (ただし、セクタの状況フラグはすでに無効に書替えられている)。そこで、ファイルの書き込み失敗したときには、状況フラグ64に関係なく、 $S(i, j)$  中の  $L$  の値から古いセクタ66を見つけ出しファイルを再生することが、殆どの場合可能である。

【0034】図10は、このファイルの回復の詳細を示す。事故等でファイルの書き込み中に電源が遮断されるとRAM54上のバッファ37内のデータは消失する。そこで電源再投入時に古いファイルの回復を行う。まず、ディレクトリ情報およびファイル配置情報を読出し、ファイルの先頭セクタ番号  $K$  を求める (1002, 1004)。電源が遮断されるまでに書替えられたセクタ番号に対応するセクタとしては、古いデータを持つ無効セクタと新しいデータを持つ有効セクタの両方が存在する。そこで、セクタ番号  $K$  を持つ無効セクタを探し、あればこのセクタのデータをユーザの確認を得たうえで新しい空白セクタに移し、これを有効にする。また既存の有効セクタは無効にする (1010)。ユーザの確認を得るのは、古いデータが複数のバージョンからなっているとき、いずれを選択すべきか確認をとるためである。以下同様にしてファイルを構成する全セクタに対する処理を行う (1014)。このようにして、無効セクタのデータを集めていくことによって古いファイルを再構成する。

【0035】図11は、セクタ読出し (図8のステップ806) の詳細フローであり、与えられた論理アドレス  $L66$  に対応する物理アドレス  $A(L)68$  をアドレス変換表36より得て、セクタ70A~70Nの位置を知り、データ ( $AL$ ) をデータ読出し部40にセットし、CPU10にDMA転送する。

【0036】次に、セクタ書き込み処理 (図7Aのステップ714) について述べる。図2及び図12において、コマンド処理部34は、まず、バッファ37からホストCPU10により与えられた論理アドレス  $L$  を得て、次にアドレス変換表36を検索し、物理アドレス  $A(L)$  を得る。さらにブロック管理表35を調べて、データ領域70の空白セクタ70Nの位置を知る。そして、ホストCPU10から受け取ったデータをバッ

14

ファ37から読み出し、この新しいデータを空白セクタ70Nに書き込んで、その状況フラグ64Nを「空白」から「有効」に、古いセクタ70Aの状況フラグ64Aを「有効」から「無効」に書換える。そして、ホストCPU10から指定された、論理アドレス66と新しいセクタ70Nの物理アドレスの対応をアドレス変換表36に記憶すると共に、空白セクタ ( $i, 1$ ) 数、有効セクタ数 ( $i, 2$ )、空白セクタ総数  $B(i, 1)$  に関しブロック管理表の記録を更新する。なお、新しいセクタ70Nが含まれるメモリ・ブロック  $i, w$  は古いセクタ70Aと同じメモリ・ブロック320内であってもよく、他のメモリ・ブロックにあってもよい。

【0037】図13 (13A~13C) に上記セクタ書き込み処理の詳細を示す。まず、ホストCPU10から与えられたコマンドに含まれる論理アドレス  $L$  を得る (1302)。そして、後述するファイル配置情報の処理が必要となるときはその処理を行い (1304, 1306)、次に、アドレス変換表36により物理アドレス  $A(L)$  を得る (1308)。さらにこの  $A(L)$  について古いメモリ・ブロック番号  $i$ 、セクタ番号  $j$  を得る (1314)。次に、書き込み先のメモリ・ブロック  $i, w$  内の空白セクタのメモリ・アドレス  $P$  を得て、この  $P$  をデータ書き込み部41にセットし、セクタ・データの書き込みを行う (1316~1320)。さらに、 $P$  から書き込み先のセクタ番号  $k$  を得て、ポインタのデータ  $S(i, w, k)$  を有効にして  $L$  を格納し  $P$  を物理アドレス  $A(L)$  とする (1322~1326)。次に、同じ論理アドレスの古いデータを論理的に消去するために、メモリ・ブロックの古いポインタ  $L$  の値  $S(i, j)$  を無効とし (1330)、有効セクタの数  $B(i, 2)$  を一つ減ずる (1332)。さらに、ブロック  $i$  が次に消去すべきブロックか否かの判定を行い (1334)、空白セクタの数  $B(i, w, 1)$  を一つ減ずる (1336)。そして、もしこの空白セクタの数が0になれば、空白セクタを持つメモリ・ブロックを次の書き込み先のメモリ・ブロック  $i, w$  として更新する (1340)。但し、セクタ・データ退避のために複写先メモリ・ブロックとして選定された空白メモリ・ブロックは、除く。最後に、後述する、ブロックの消去判定と処理を行う (1342)。

【0038】次に、セクタ消去の手順 (図7Bのステップ718) を図14~図15により詳細に説明する。図15において、コマンド処理部34は、あるメモリ・ブロック  $i$  のセクタの状況フラグが「有効」から「無効」になるたびに、ポインタの値  $S(i, j)$  を無効とし (1508)、ブロック管理表のメモリ・ブロック  $i$  内の「有効」セクタの数  $B(i, 2)$  を一つ減らす (1510)。これは、セクタ・データを論理的には消去し、物理的には有効のまま保持するものである。そして、アドレス変換表の物理アドレス  $A(L)$  をゼロとし、残

15

りの「有効」セクタの数を消去候補のメモリ・ブロック  $i$  と比較し、所定値より少なくなると、このメモリ・ブロック  $i$  を次に消去すべきメモリ・ブロックの候補  $i$  として選定する (1516)。

【0039】本実施例では、ブロック管理表やセクタ管理表に基づくブロックの消去処理により、「空白」セクタの数は常に一定の値以上確保される。この「空白」セクタは、書き込み時や、消去時におけるデータの書き込み先、複写先として用いられる。図14に示すように、あるメモリ・ブロック321内には、当初、「空白」セクタが多数存在しているが、漸次「有効」セクタそして「無効」セクタが増加してゆく。そして、このメモリ・ブロック321内に残る「有効」セクタ70の数が所定値より少なくなると、その「有効」セクタ70を他のメモリ・ブロック322内の「空白」セクタに複写し、次に、メモリ・ブロック321の内容を一括消去し、全てを「空白」セクタとする。

【0040】CPU10からのコマンドは、セクタの複写やメモリ・ブロックの消去の処理中にも、割り込みによって実行される。例えば、CPU10のコマンドがデータ書き込みの場合は、現在データを複写中のメモリ・ブロック322とは別のメモリ・ブロック323を選んで、複写と並行して書き込み処理を行う。従って、空白セクタが確保されているかぎり、割り込み（並行処理）の機能が実行されるので、CPU10からのコマンドの実行が待たされることはない。

【0041】ところで、ブロック消去に先立つ有効セクタのデータ複写には時間を要するので、複写回数はなるべく少ないほうがよい。そこで、図13Cのステップ1334や、図15のステップ1514では、消去するメモリ・ブロックの有効セクタの数を最小にして、複写回数を少なく抑えるための処理を行う。そのため、今、あるセクタが無効になったときそのセクタを含むメモリ・ブロック  $i$  の有効セクタの数と、消去候補のメモリ・ブロック  $i$  の有効セクタの数の比較を行い、次の消去候補の決定を行う。その詳細を図16に示す。まず、今セクタが無効になったあるメモリ・ブロック  $i$  の消去回数  $E(i)$  をそのメモリの消去回数の上限の許容値  $X$  と比較する。この上限値  $X$  は、メモリ・ブロックの仕様に応じて例えば一万回あるいは十万回に設定する。もし、 $X$  を越えているか、またはそのメモリ・ブロック  $i$  に空白セクタ  $B(i, j)$  が有れば、消去候補の変更の必要が無くこれで判定は終了する (1602, 1610)。もし、 $E(i)$  が上限  $X$  に達していなければ、次に全メモリ・ブロックの中で最多の消去回数  $Q$  を持つメモリ・ブロックと消去候補のブロック  $i$  の消去回数  $E(i)$  との差が消去回数のばらつきの最大許容値  $R$  以下か否かをチェックする (1604)。  $R$  としては、例えば100~1000の間の適当な値が選ばれる。もし、ばらつきが  $R$  より大きければ、メモリ・ブロック  $i$

16

についての検討は不要であり、判定は終了する。逆に  $R$  より小さければ次に、有効セクタの数  $B(i, 2)$  の比較を行う (1606)。メモリ・ブロック  $i$  が消去候補のメモリ・ブロック  $i$  よりも少ない有効セクタ  $B$

( $i, 2$ ) しか持っていない時は、メモリ・ブロック  $i$  を新たに次の消去候補のメモリ・ブロック  $i$  として置き替える (1608)。なお、メモリ・ブロック  $i$  内の総セクタ数が分かっているので、この  $i$  と  $i$  の比較は有効セクタ数の代りに、無効セクタの数で行ってもよいことは言うまでもない。

【0042】次に図17により、ブロック消去判定処理 (図13Cのステップ1342及び図15のステップ1516) の詳細に述べる。まず、消去候補のメモリ・ブロック  $i$  の有効セクタの数  $B(i, 2)$  を所定値  $S$  と比較し (1702)、有効セクタの数が少なくなったときは、このブロック  $i$  内の有効セクタを複写先のメモリ・ブロック  $i$  に複写、退避することをセクタ複写部42に命令する (1706)。有効セクタの数が多くても、全メモリ・ブロックに空白セクタの数数が少ないと、次の書き込みや複写の処理に支障を来す。そこで、空白セクタの総数  $B(, 1)$  が所定値  $T$  より少なければ、消去のために、同様にセクタ複写の処理を行う (1704, 1706)。

【0043】空白セクタを効率よく再生するには、ホストCPUによって消去されたセクタをなるべく早く知る必要がある。しかし、従来のファイル・システムは、CPU10によってファイルが消されても、ファイル配置情報を更新するだけであり、どのセクタが消されたかを外部記憶装置には教えてくれない。本発明の実施例によれば、ファイル・システムが書換えられた時 (図13Aステップ1304) には、ファイル・システムを書換えず、図18、図19に示すように、ファイル配置情報の比較を行うことによりこの問題を解決できる。すなわち、コマンド処理部34が新旧のファイル配置情報FATを比較する機能を持つ。これには、CPU10が論理アドレス  $L$  を管理しているファイル配置情報FATを利用する。CPU10によってファイル・システムが書換えられるとその情報はオペレーティング・システムOSにより特定の論理アドレス  $L$  に格納される。そこで、外部記憶装置側の古いファイル配置情報FATOを読み出し (1902)、CPU10側の新しいファイル配置情報FATNの各項目  $U$  と比較し (1908)、新たに開放されたセクタ70Nがあれば、そのセクタ70Nのセクタ消去処理を行う (1912)。以下全項目について同様の処理を行い外部記憶装置側のセクタ状況の更新を行う。

【0044】以上説明した本発明の実施例によれば、すべてのセクタがほぼ均一に使用されるとともに、高速のセクタ書き込みが可能となる。図20は、従来の方式(A)と本発明の方式(B)とにおけるセクタ書き込み

17

の処理時間の比較を示す。従来方式では、最初にブロック内の全データを主記憶装置やバッファ等に退避してから、ブロックを消去し、その後新しく更新したデータとともにデータをメモリブロックに書き戻す。通常、ブロック内には、64〜256個程度のセクタがあり、それら全部を読み出して書き戻すのに要する時間は、かなりのものとなる。その間ホストCPUの処理は中断される。これに対して、本発明の方式(B)では、セクタ書き込みのためのCPU10の処理として、単にセクター一つを書き込むだけで済み、従来必要とされていたデータの退避処理が不要となり、しかも、ブロックの消去はコマンド処理部34でCPU10の(他の)処理と並行に独立して実行される。従って従来の方式に比べてかなり高速のセクタ書き込み、換言するとCPU10の拘束時間の短縮が可能となる。これは、本発明が、消去するメモリ・ブロック、セクタを書き込むブロック及び空白メモリ・ブロックを常に別々に準備するようにメモリ・ブロックやセクタの管理をしているためである。これにより、セクタ書き込みとメモリ・ブロックの消去、セクタ読み出しとメモリ・ブロックの消去とが並列に実行可能である。

【0045】次に、図21は、本発明の他の実施例を示すもので、図2の例と比較すると、コマンド処理の機能34が、ホストCPU10によって提供される点で相違する。また、ブロック管理表35、アドレス変換表36は、主記憶装置15上に置かれ(バッファを含めてもよい)、ホストCPUから参照される。ホストCPU10は、セクタ読み出しやセクタ書き込みの際には、I/Oバス18を通じてメモリ・コントローラ80に命令を送る。メモリ・コントローラは、ホストCPUとは独立したシリコン基盤上の集積回路として実現され、バッファ37のほか、データ読み出し40、データ書き込み41、セクタ複写42、ブロック消去43の諸機能を提供する。メモリ・コントローラ80はホストCPU10と独立にフラッシュ・メモリ32にアクセスすることが出来、I/Oバス18を通じて仕事の終わりをホストCPUに知らせる。その他の動作は、図2の実施例と同じなので、説明は省略する。

【0046】また、図22は、メモリ・ブロック32としてセクタ消去型のフラッシュ・メモリを用いた、本発明の他の実施例を示すものである。セクタ消去型は、メモリ・ブロック内で一括して消去されるメモリ・ブロックの大きさとファイル・セクタの物理的大きさとが等しいタイプである。この例では、セクタ毎の消去を行うため、図2の例と比較して、一括消去に先立つセクタ退避の必要がなく、従って、セクタ複写部42がなく、またブロック消去部43の代わりにセクタ消去部82がマイクロプロセッサ上に構成され、セクタ消去回数の退避、回復を行っている。さらに、セクタ管理表60がメモリ・ブロック320の単位即ちセクタ70毎に設けられて

18

いる。セクタ管理表60には、セクタの状況や、消去回数が記録され、全てのセクタの消去回数を考慮しながら、書き込み用の空白セクタを確保する。コマンド処理部の通常処理は、図7の場合と同様に、バッファをチェックし、コマンドがあれば、セクタ書き込み、セクタ消去を行うものである。但し、図23に示すように、セクタの消去に先立ってセクタの複写を行う処理が不要であり、直ちに無効なセクタの消去が実行される(727〜733)。また、図24に示すように、セクタの消去に先立ってそのセクタの消去回数を他のセクタに退避させ、さらに書き戻す処理が必要である(1705〜1707)。

【0047】この実施例も、図25に示すように、すべてのセクタがほぼ均一に使用されるとともに、高速のセクタ書き込みが可能となる。この例では、セクタ単位で消去するので、データの退避や、セクタの複写は必要ない。従来の方式(A)では、セクタ書き込みの都度セクタの消去もホストCPUが併せ実行する必要があった。本発明の方式(B)では、ホストCPUの処理は、セクタを書き込むだけでよく、他の処理、例えばセクタの消去はメモリ・コントローラが独自に処理するので、ホストCPUの処理時間が短くてよく、高速のセクタ書き込みが可能となる。

【0048】なお、半導体メモリが大きな容量を有するときは、この半導体メモリをそれぞれ複数のメモリ・ブロックを持つ複数の群に分割し、各群毎に、上記したブロックやセクタの管理・制御を行うようにしてもよい。

【0049】

【発明の効果】本発明によれば、ホストCPUのコマンドに対応してデータの読み出し、書き込みを高速で処理できる、フラッシュ・メモリを用いた半導体外部記憶システムが得られる。また、ホストCPUのコマンドがフラッシュ・メモリの特定のセクタを頻繁に書換えるものであっても、実際のフラッシュ・メモリ上ではセクタの消去回数が偏らず全体を有効に利用出来る外部記憶システムが得られる。

【図面の簡単な説明】

【図1】本発明の半導体外部記憶システムを組み込んだコンピュータ・システムの一例を示す図である。

【図2】本発明の半導体外部記憶システムの一実施例の機能の詳細を示す図である。

【図3】図2の半導体外部記憶システムの機能を実現する構成の詳細を示す図である。

【図4】メモリ・ブロックのセクタ構成例を示す図である。

【図5】アドレス変換表の構成例を示す図である。

【図6】ブロック管理表の構成例を示す図である。

【図7A】コマンド処理部の通常処理を示す流れ図である。

【図7B】コマンド処理部の通常処理を示す流れ図であ

る。

【図7C】コマンド処理部の通常処理を示す流れ図である。

【図8】コマンド処理部の割込み処理を示す流れ図である。

【図9A】図7Aにおける管理表と変換表の初期化の処理を示す流れ図である。

【図9B】図7Aにおける管理表と変換表の初期化の処理を示す流れ図である。

【図10】図7Aにおけるファイル回復処理の詳細を示す流れ図である。

【図11】図8におけるセクタ読出し処理の詳細を示す流れ図である。

【図12】セクタ書き込み処理を説明する図である。

【図13A】図7Aにおけるセクタ書き込み処理の詳細を示す流れ図である。

【図13B】図7Aにおけるセクタ書き込み処理の詳細を示す流れ図である。

【図13C】図7Aにおけるセクタ書き込み処理の詳細を示す流れ図である。

【図14】図7Aにおけるセクタ消去処理を説明する図である。

【図15】図7Aにおけるセクタ消去処理の詳細を示す流れ図である。

【図16】図15におけるiとieの比較処理の詳細を示す流れ図である。

【図17】図15におけるブロック消去判定、開始の処理の詳細を示す流れ図である。

【図18】ファイル配置情報の比較によるセクタ消去の

例の説明図である。

【図19】図18のセクタ消去の処理の詳細を示す流れ図である。

【図20】図2におけるコマンド処理部の通常処理及びCPUの割込み処理の関係を示すタイム・チャート図である。

【図21】本発明の他の実施例になる半導体外部記憶システムを組み込んだコンピュータ・システムの一例を示す図である。

【図22】本発明のさらに他の実施例になる外部記憶システムを組み込んだコンピュータ・システムの一例を示す図である。

【図23】図22におけるコマンド処理部の通常処理の一部を示す流れ図である。

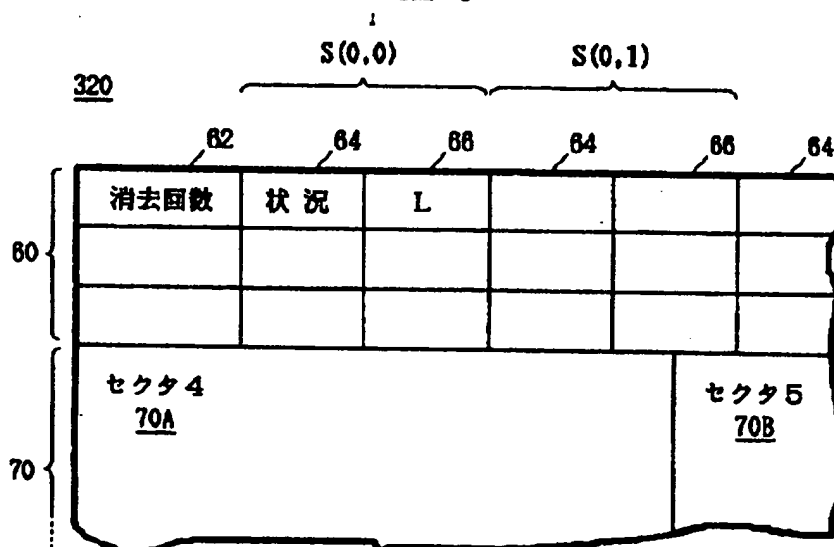
【図24】図22におけるセクタ消去判定、開始の処理を示す流れ図である。

【図25】図22におけるコマンド処理部の通常処理及びCPUの割込み処理の関係を示すタイム・チャート図である。

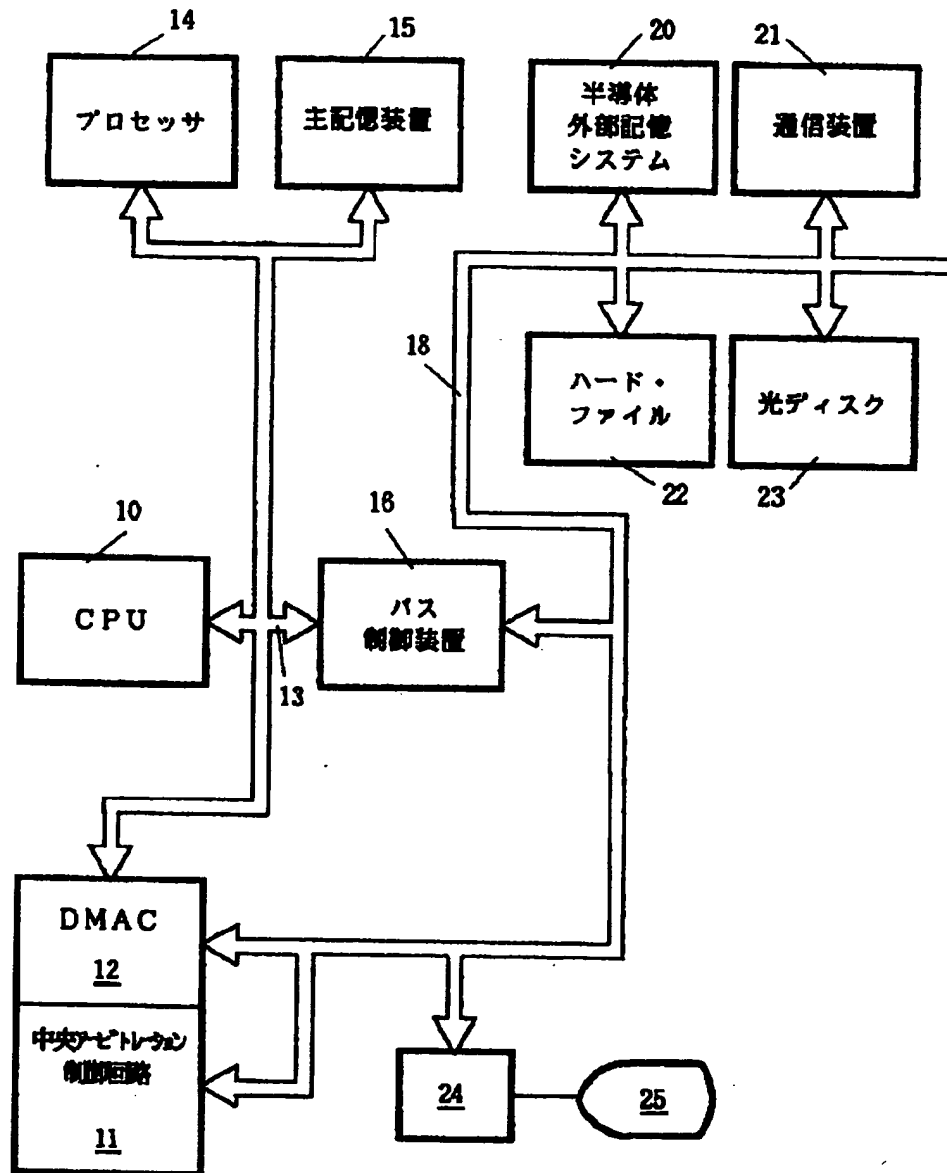
#### 20 【符号の説明】

- 20 半導体外部記憶システム
- 30 制御装置
- 31 半導体メモリ・バス
- 32 フラッシュ・メモリ
- 33 制御装置バス
- 34 コマンド処理部
- 35 ブロック管理表
- 36 アドレス変換表
- 37 バッファ

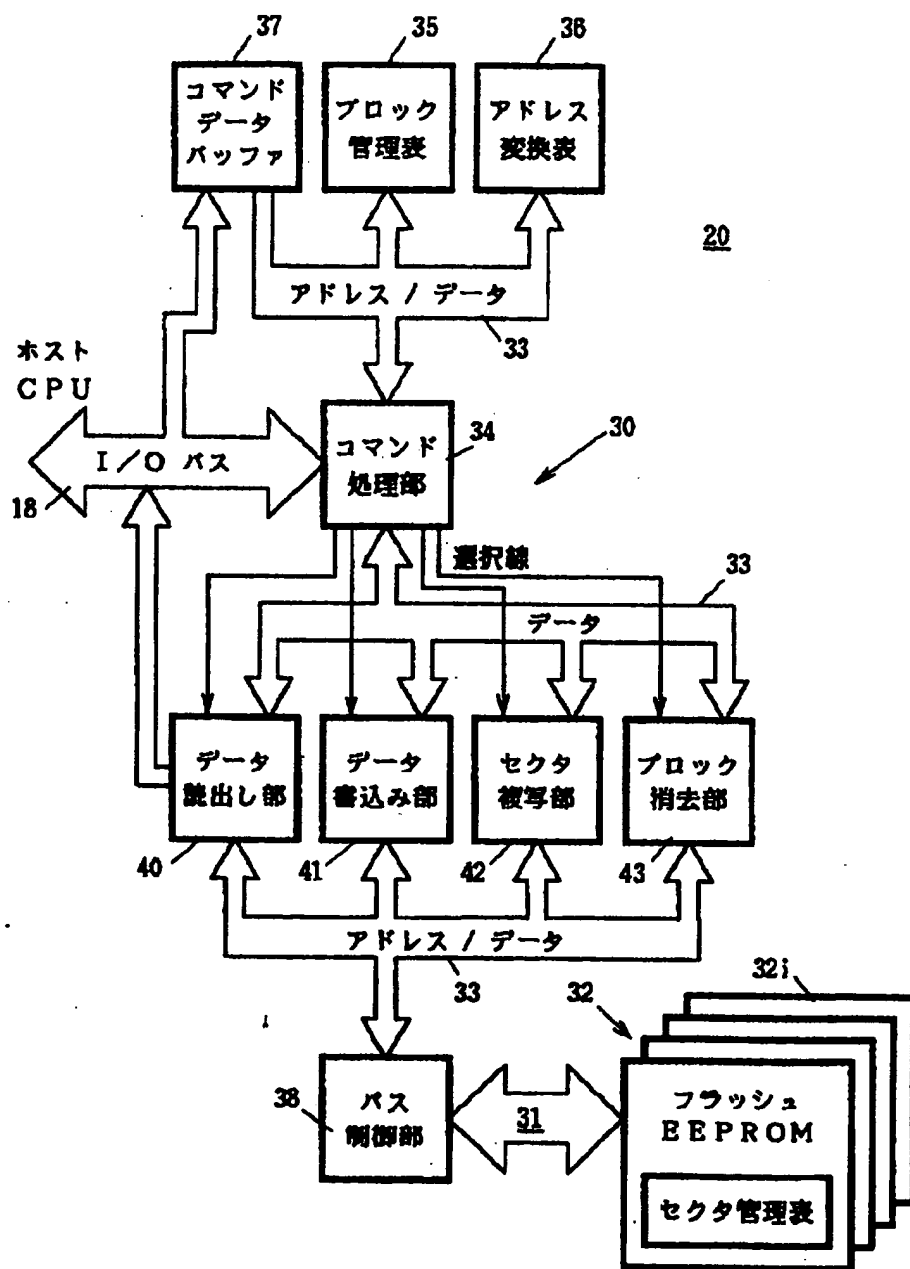
【図4】



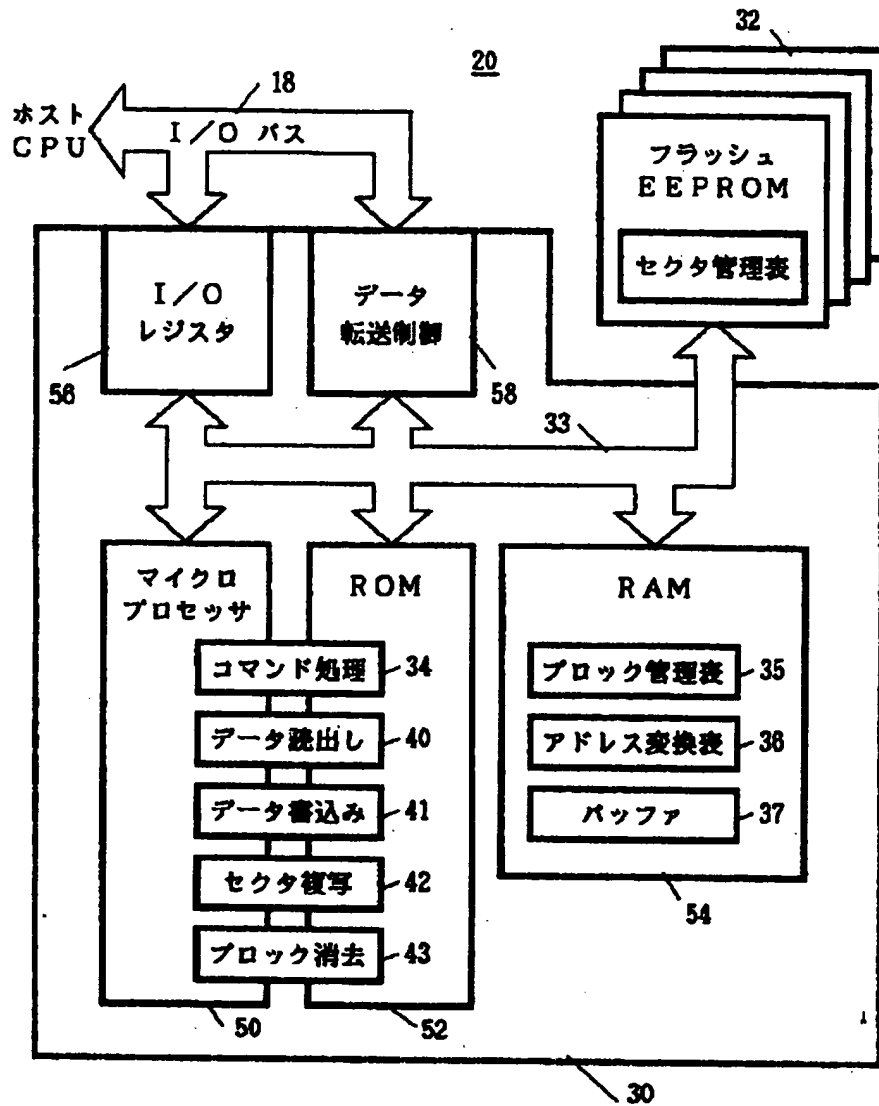
【図1】



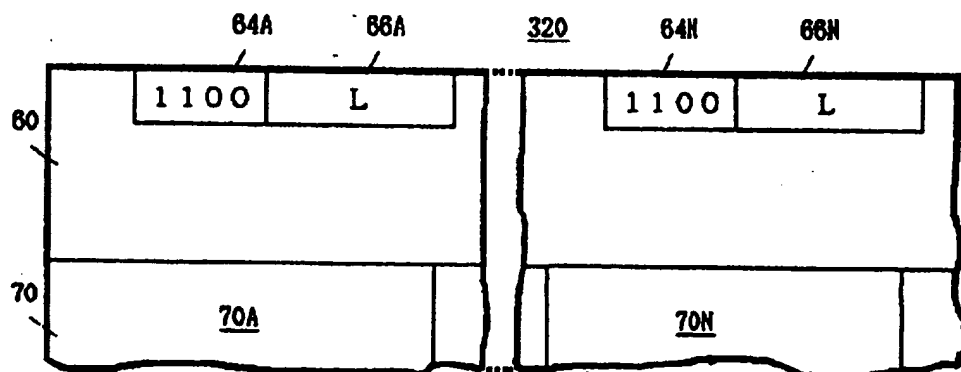
【図2】



【図3】



【図12】





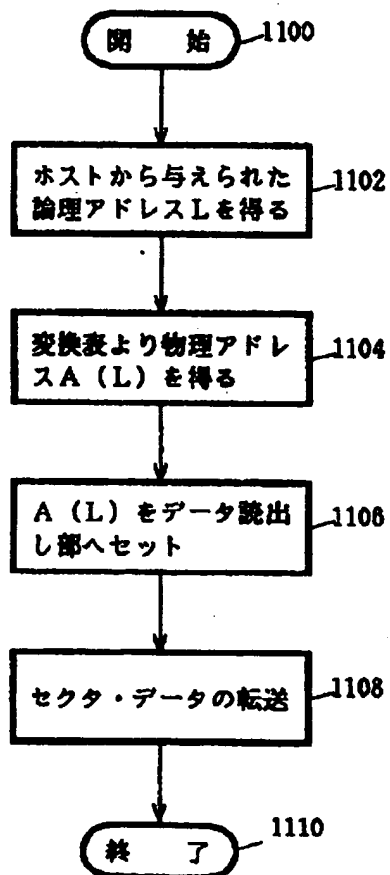
【図5】

36	66	88
L	A (L)	
1	第1ポインタ (i, j)	
2	第2ポインタ (i, j)	
3	第3ポインタ (i, j)	
⋮	⋮	
N	第Nポインタ (i, j)	

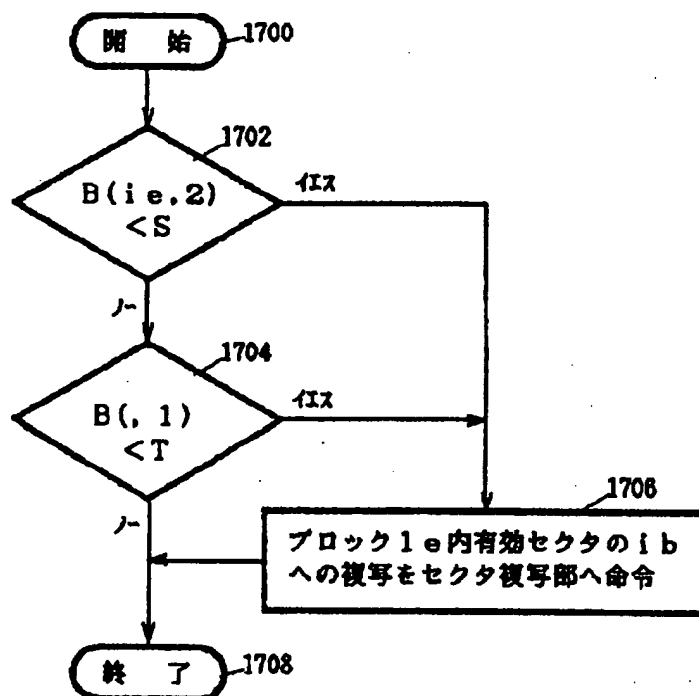
【図6】

35	72	74
i	空白セクタ数	有効セクタ数
0	B (0, 1)	B (0, 2)
1	B (1, 1)	B (1, 2)
2	B (2, 1)	B (2, 2)
⋮	⋮	⋮
N-1	B (N-1, 1)	B (N-1, 2)
	B (, 1)	76

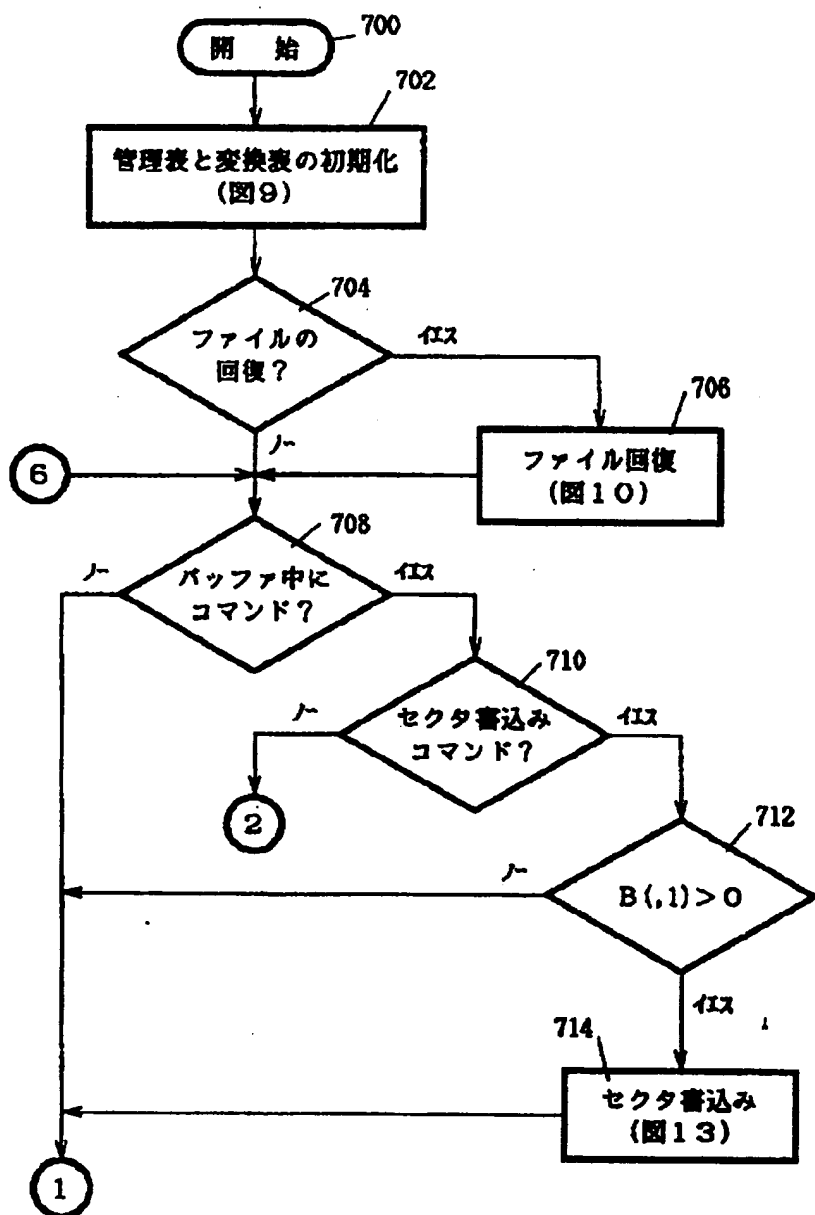
【図11】



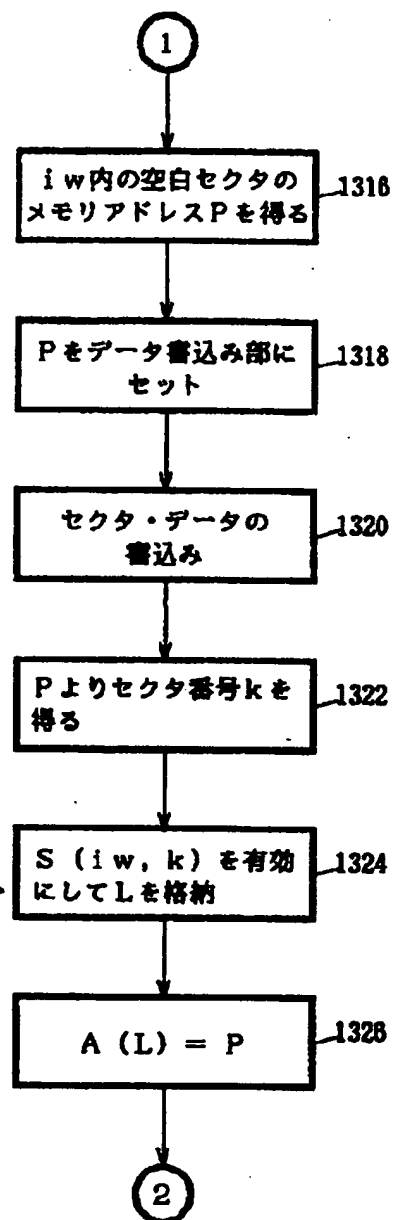
【図17】



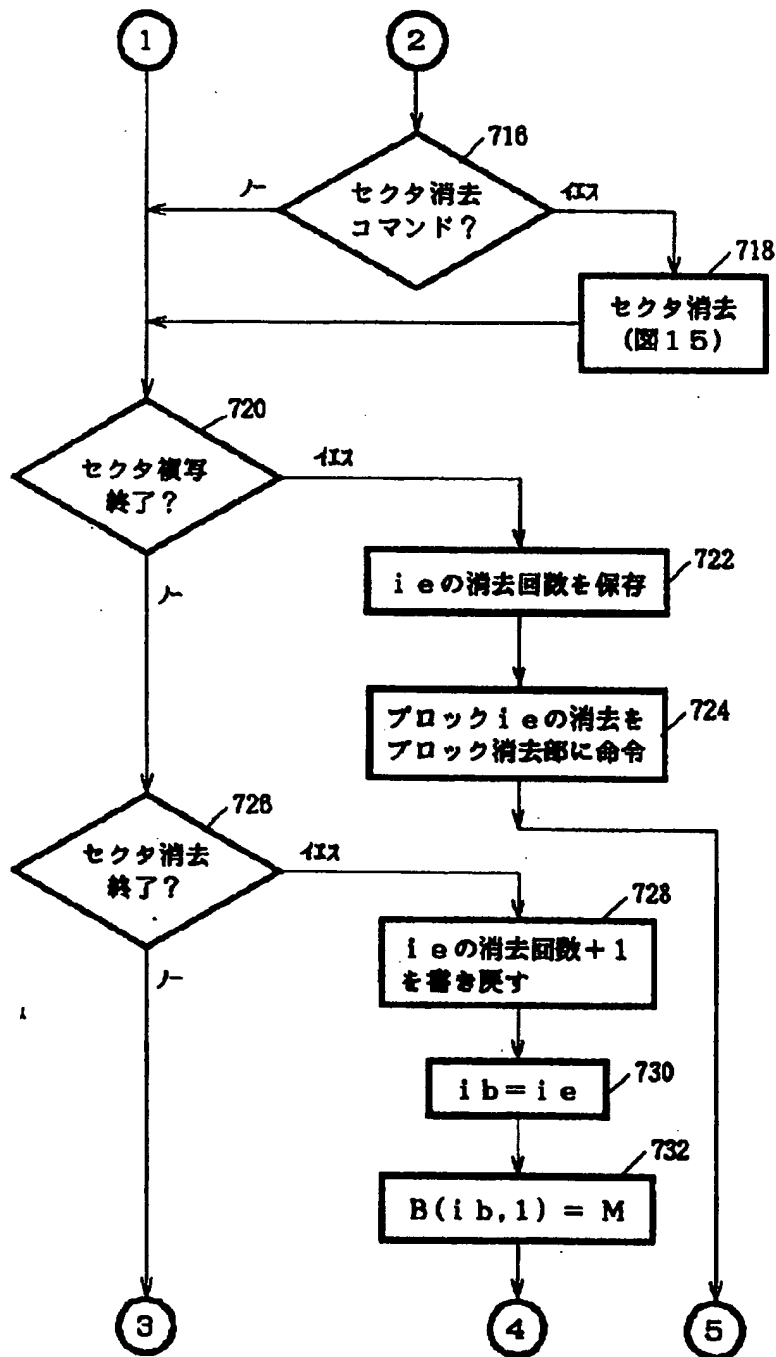
【図7A】



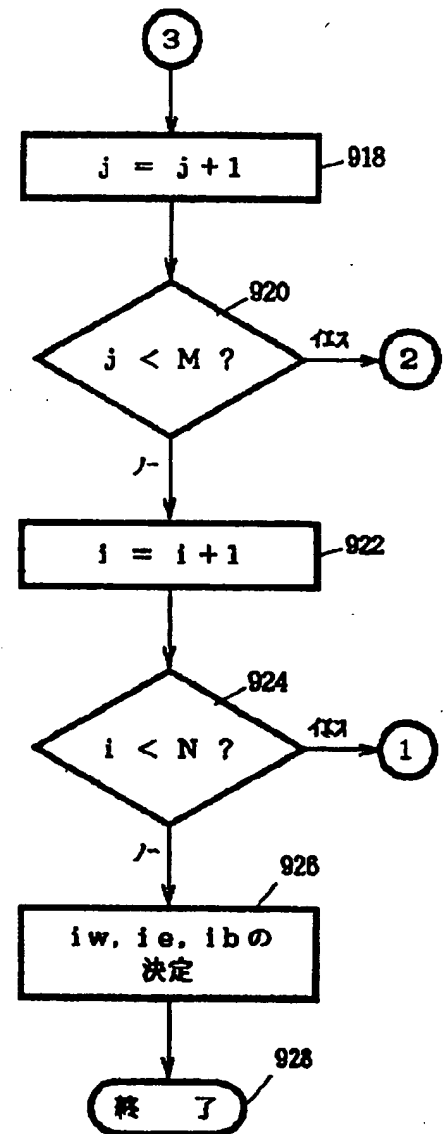
【図13B】



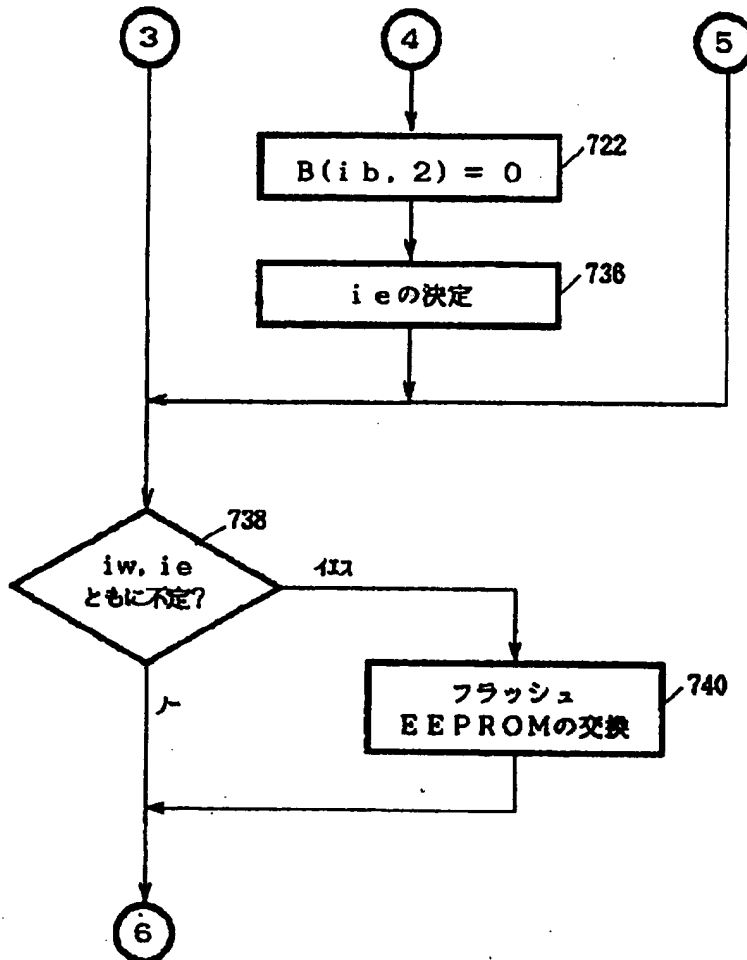
【図7B】



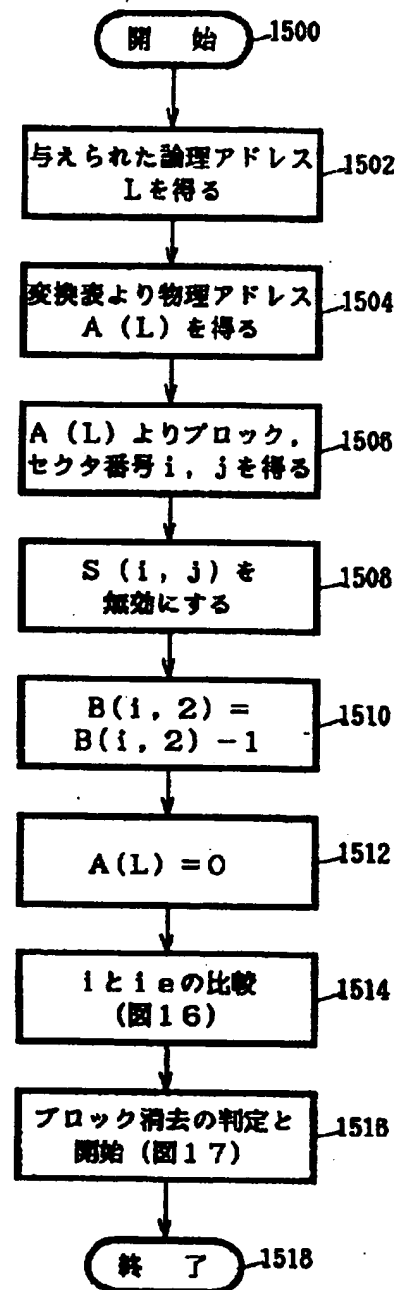
【図9B】



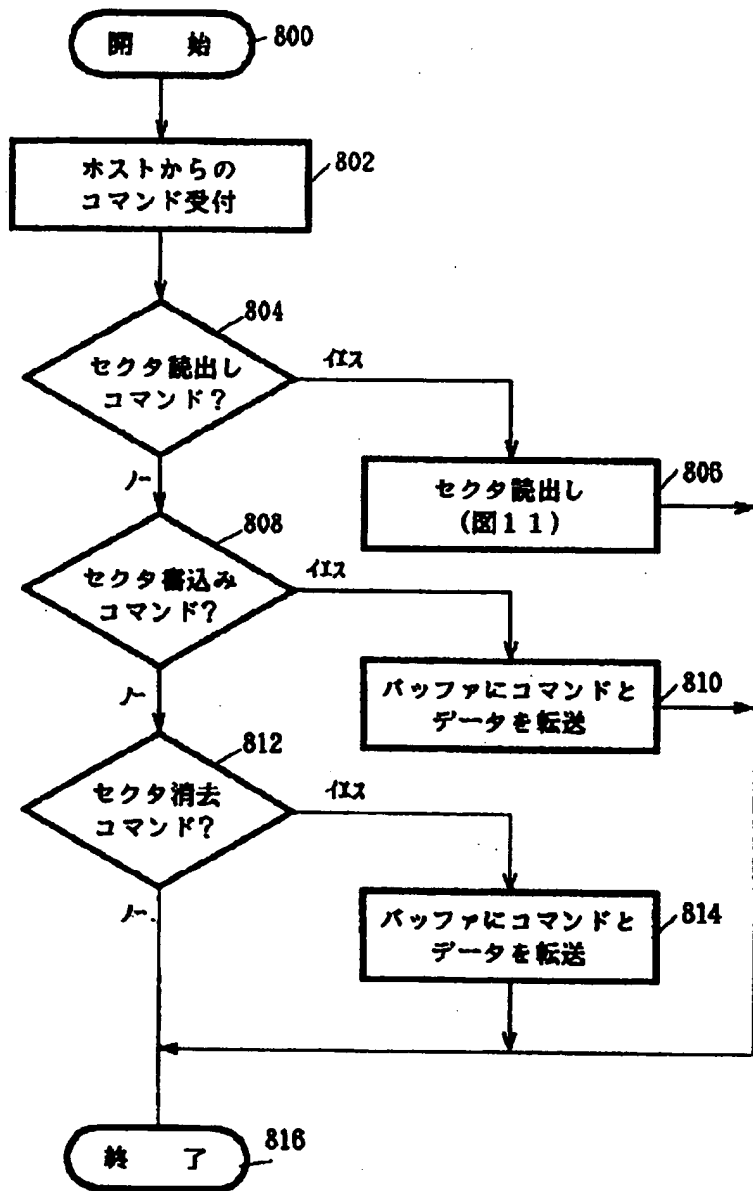
【図7C】



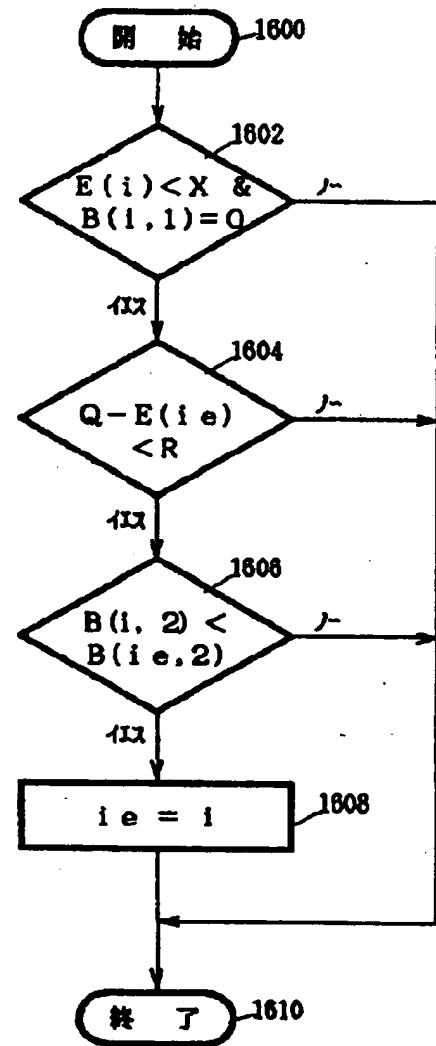
【図15】



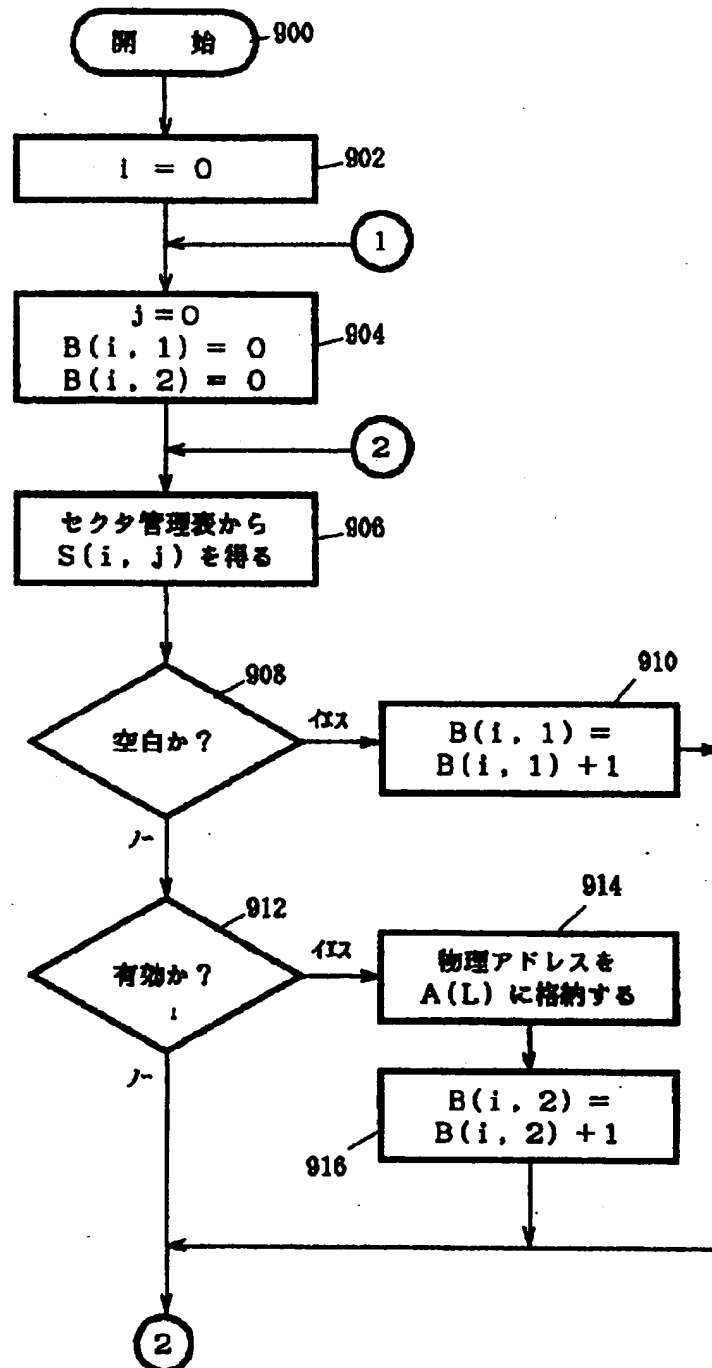
【図8】



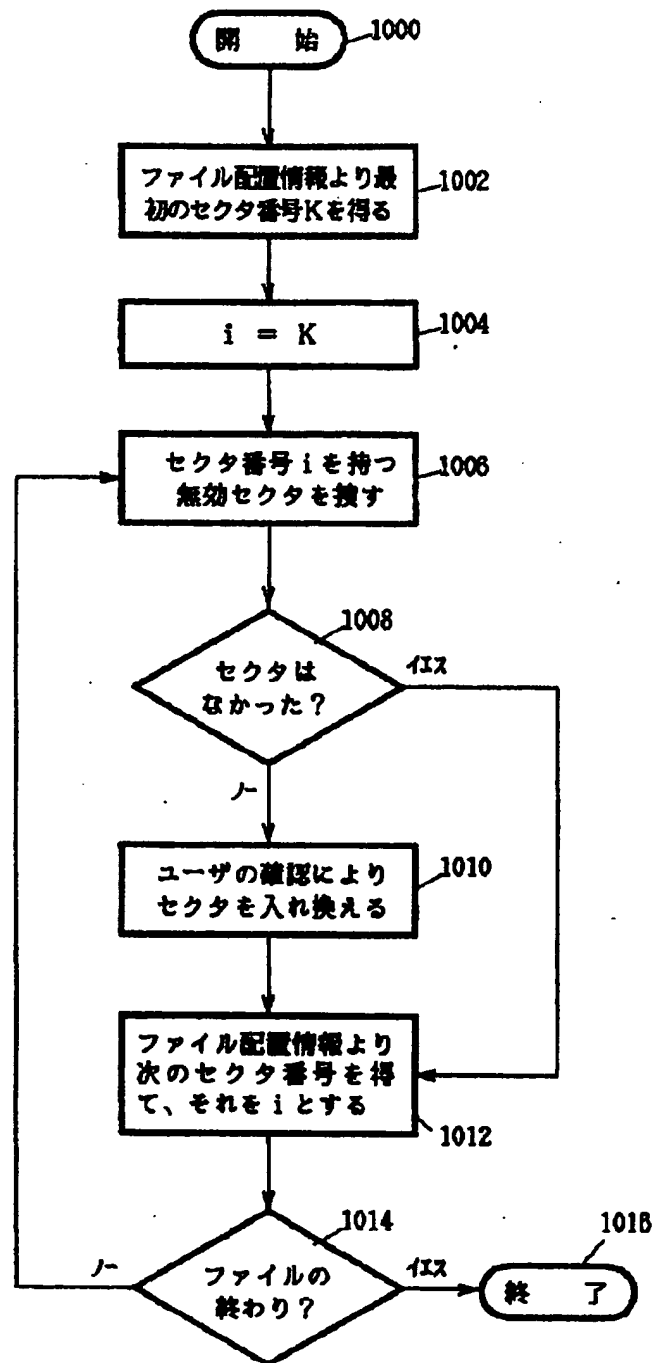
【図16】



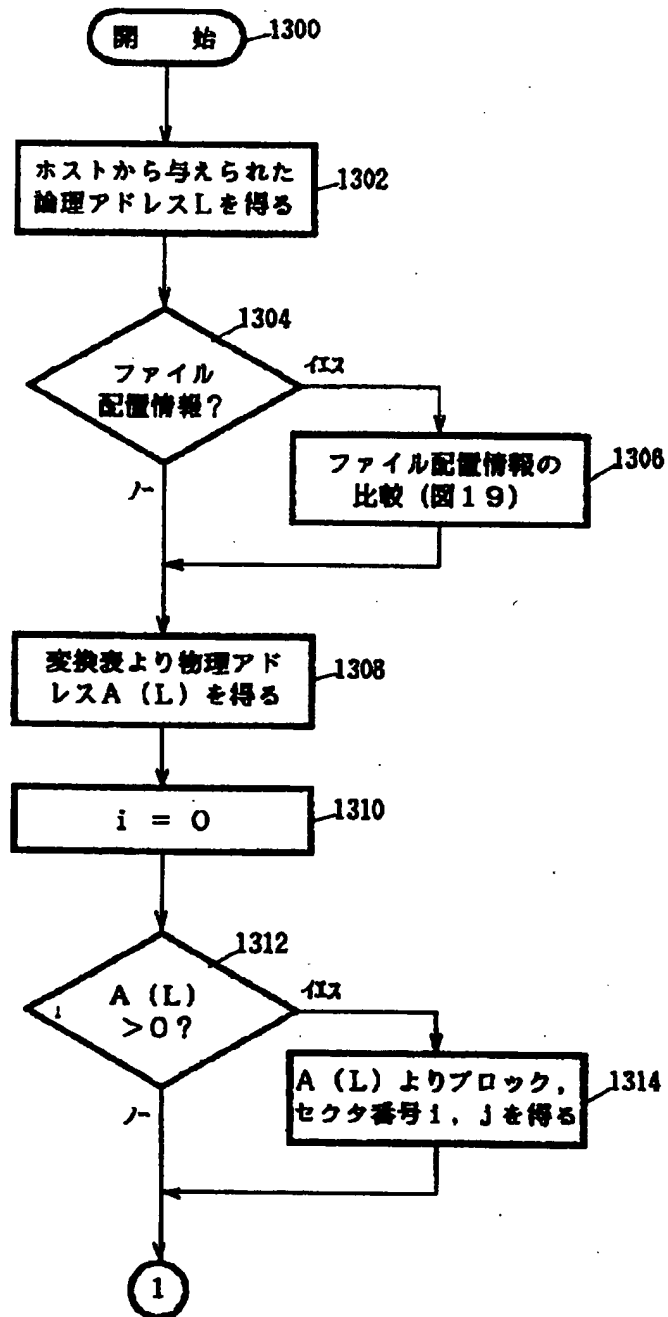
【図9A】



【図10】

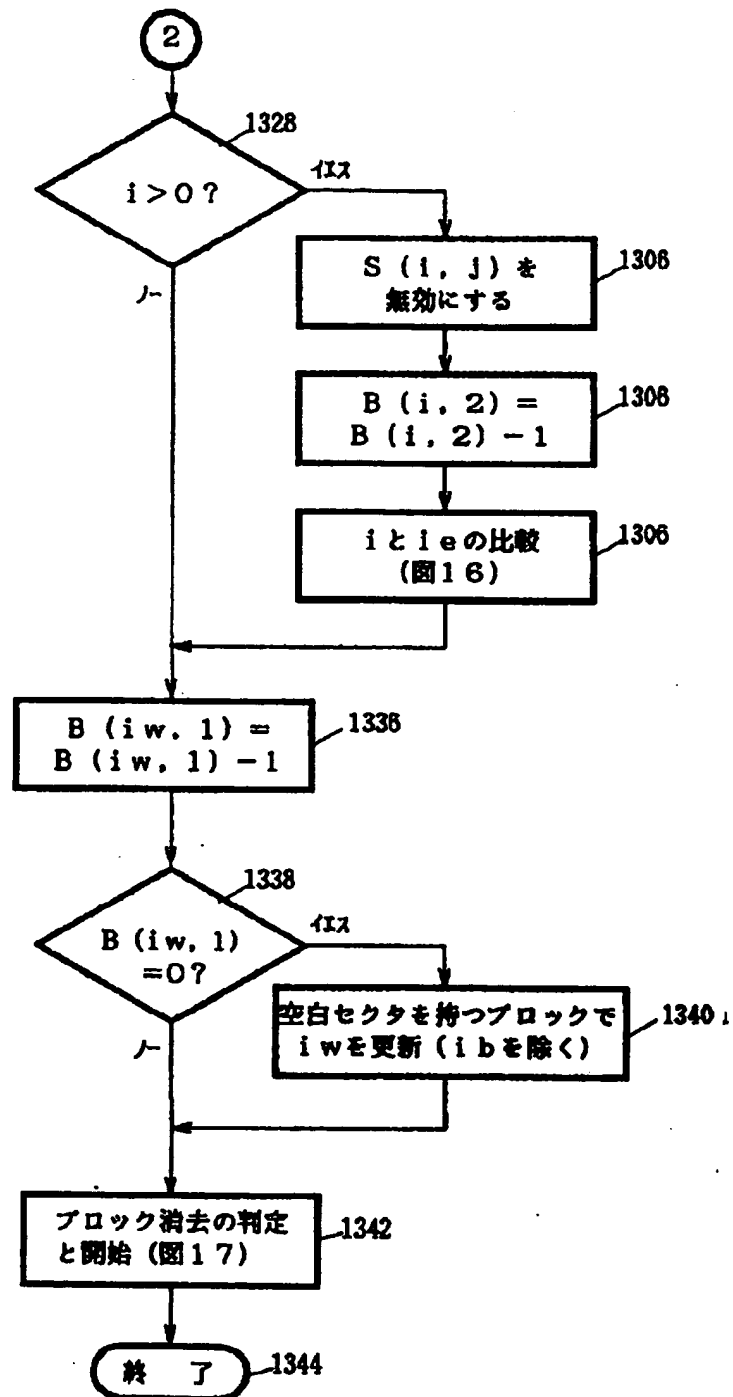


【図13A】

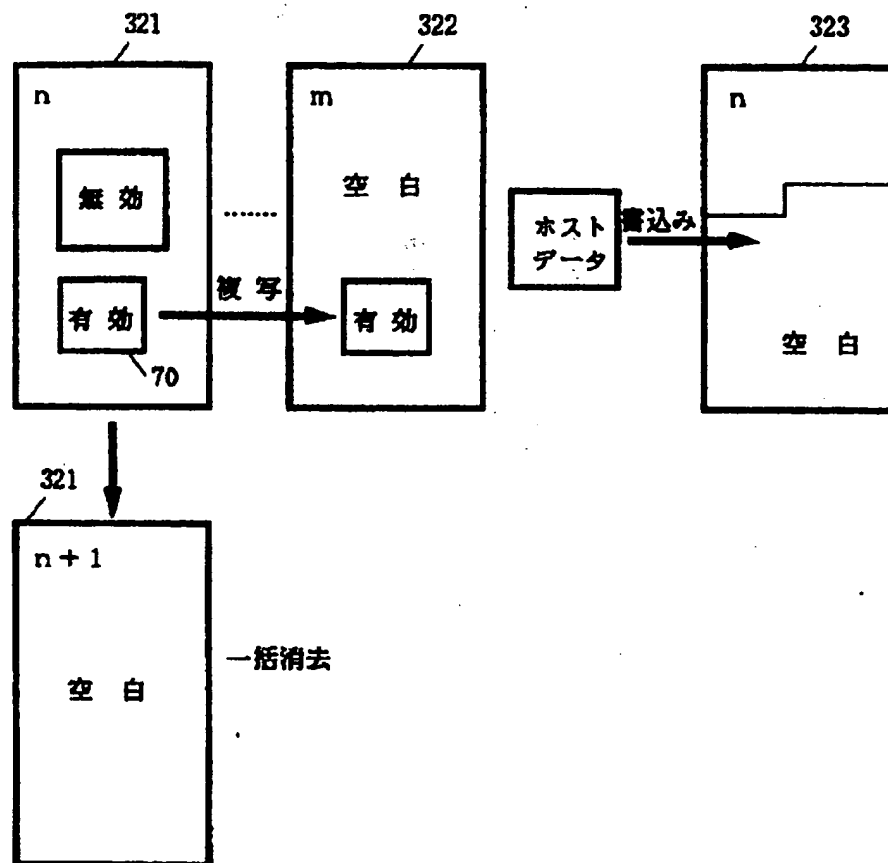




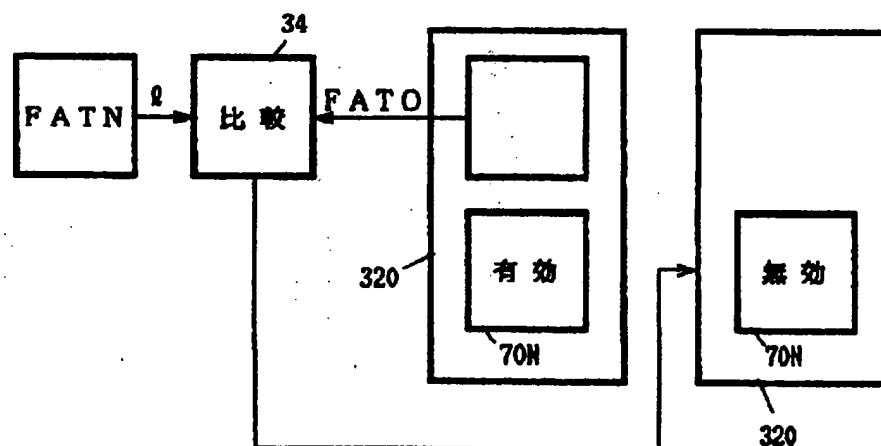
【図13C】



【図14】



【図18】



【図19】

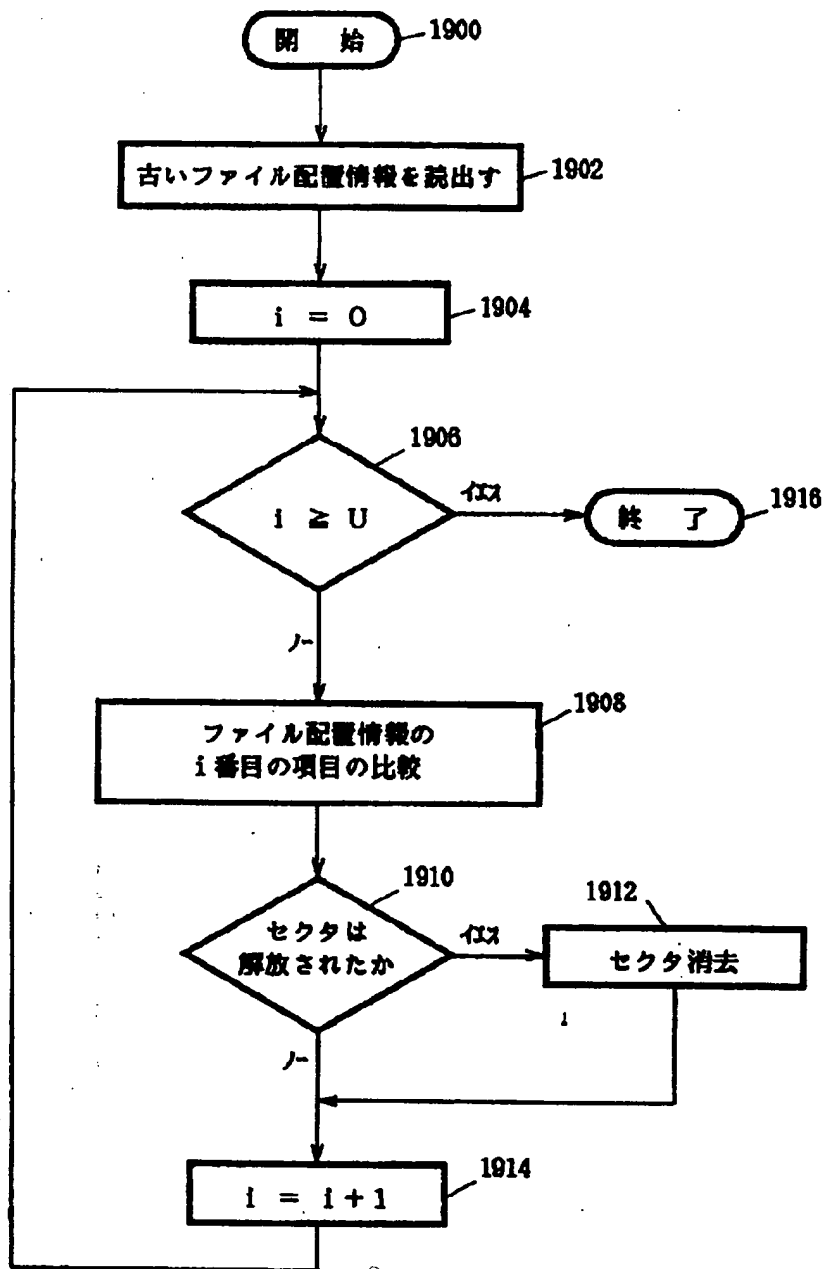


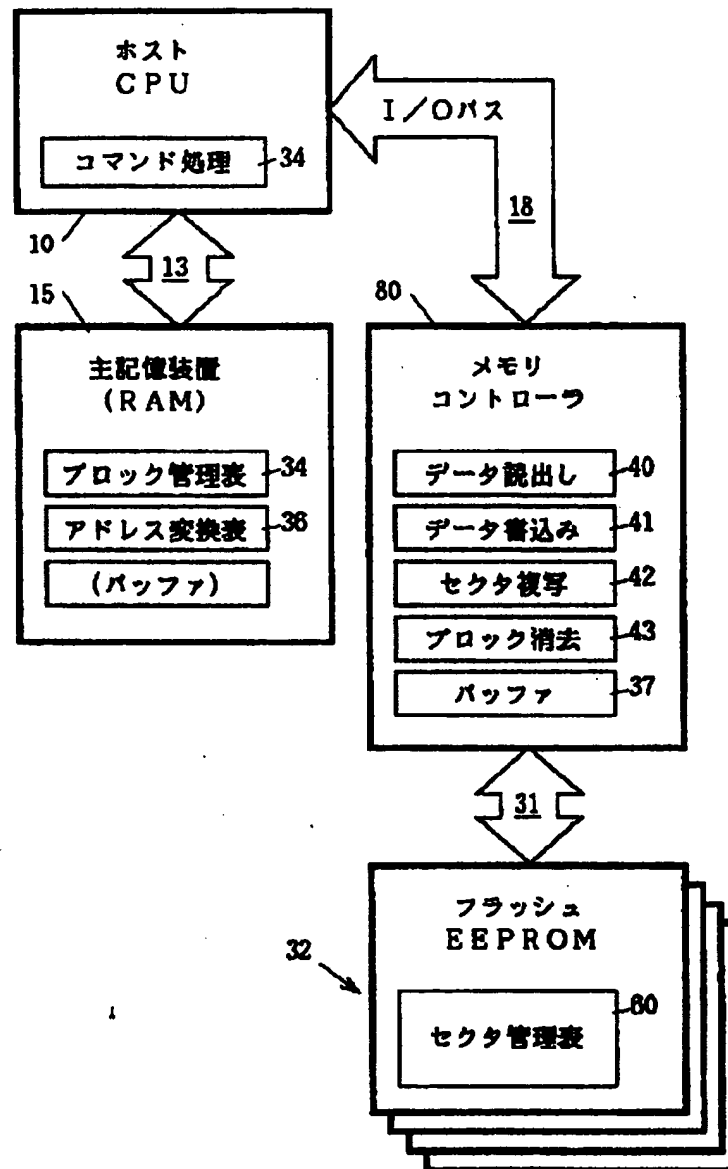
Figure 1 consists of two timing diagrams, (A) and (B), comparing data transfer methods between a Host CPU and a Command Processor (コマンド処理部).

**(A) Sequential Transfer:** The Host CPU processes commands (コマンド処理). When a data transfer request occurs, it sequentially transfers data blocks (データ転送) to the Command Processor. The Command Processor then processes the data (データ処理). This method involves a significant period of inactivity for the Host CPU while waiting for the Command Processor to finish processing the data blocks.

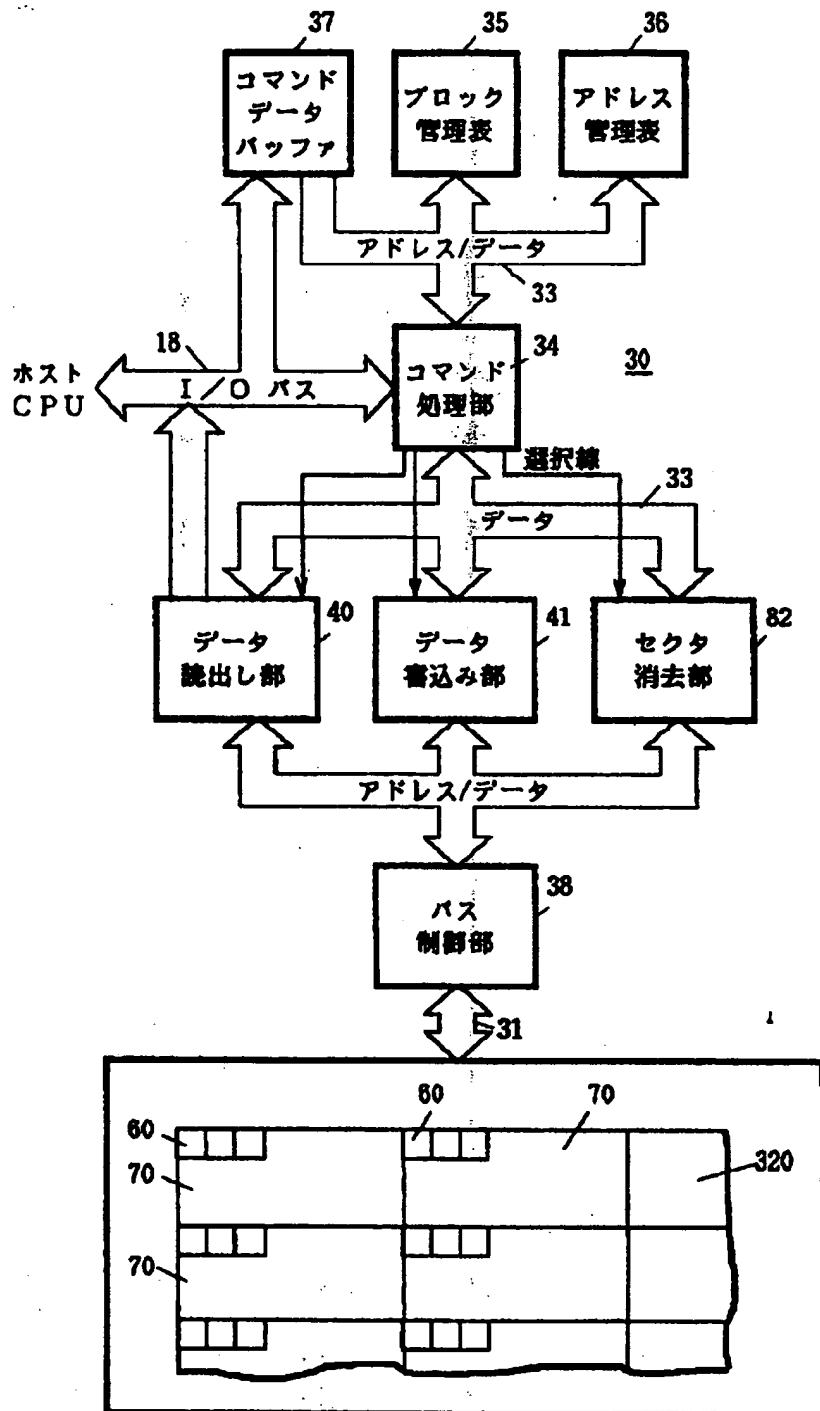
**(B) Parallel Transfer:** The Host CPU processes commands (コマンド処理) and simultaneously transfers data blocks (データ転送) to the Command Processor. The Command Processor processes the data (データ処理) in parallel with the Host CPU's command processing. This method allows for concurrent processing, reducing the overall time required for data transfer and processing.

(B)

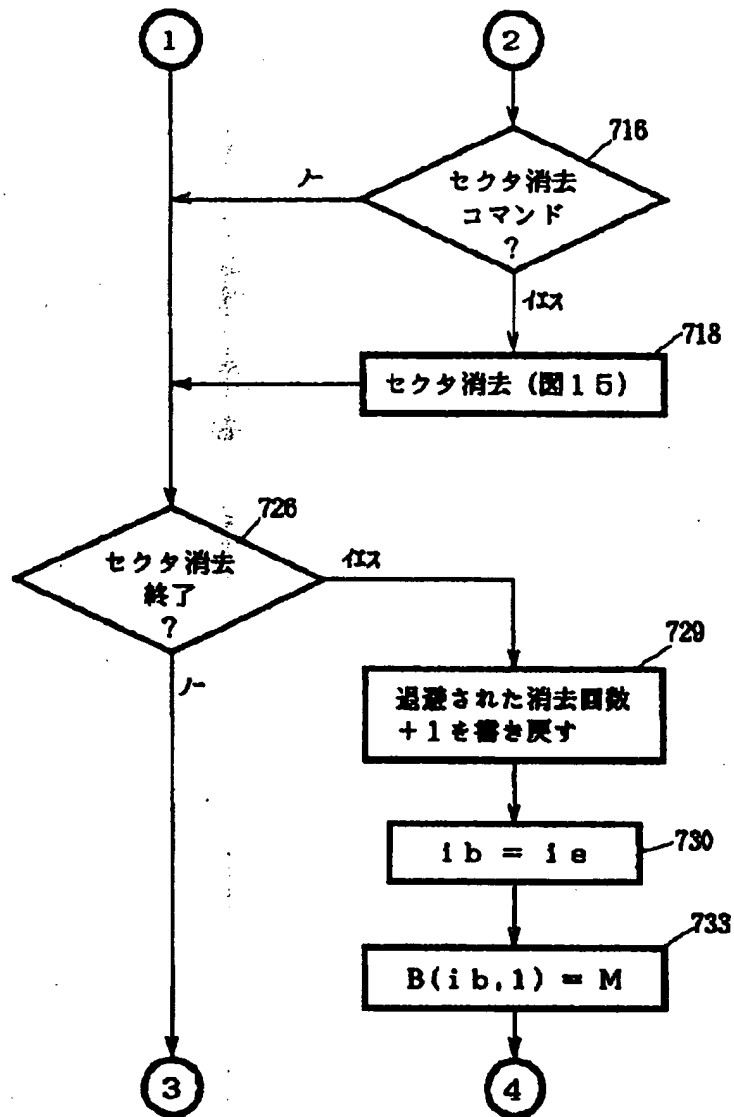
【図21】



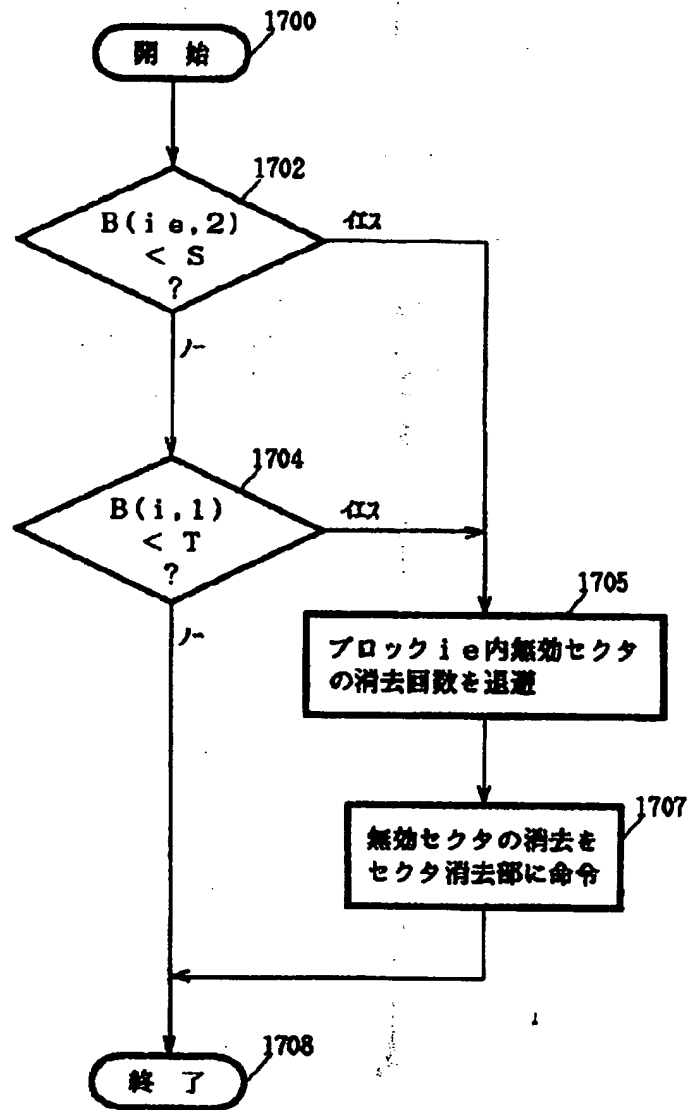
【図22】



【図23】

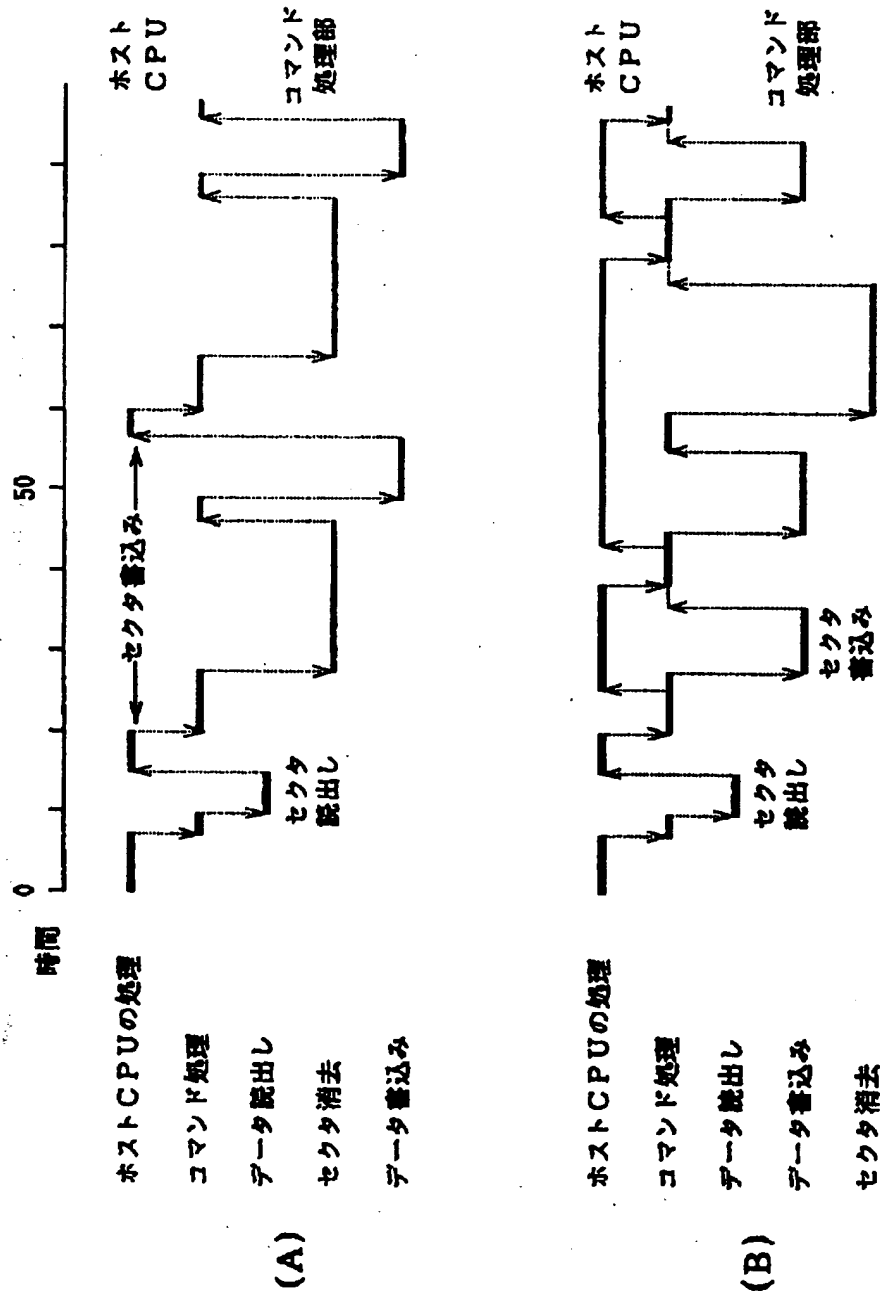


【図24】





【図25】



## 【手続補正書】

【提出日】平成3年10月16日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】フラッシュ・メモリで構成され、それぞれ

が少なくとも1つのセクタを含む複数のメモリ・ブロックから成る外部記憶装置としての半導体メモリと、前記メモリ・ブロックに対する制御を行う制御部とを備え、データおよびコマンドを転送するバスを介してホスト・プロセッサに接続された外部記憶システムにおいて、前記制御部が、各メモリ・ブロックの消去回数及び各メモリ・ブロックと各セクタの状況を記録したブロック管理手段の記録に

基づき、データの書き込みや消去を行うメモリ・ブロックを選定し、

前記ホスト・プロセッサの前記コマンドに含まれる論理アドレスをアドレス変換手段によって特定のメモリ・ブロック内のセクタを示す物理アドレスに変換し、

前記コマンドに回答して、該当するセクタに対するデータの書き込み、読出しあるいはメモリ・ブロックの消去の処理を行い、

これらの処理による各セクタやメモリ・ブロックの状況変化を前記ブロック管理手段に逐次記録しもしくは更新し、

前記処理がなされたメモリ・ブロックやセクタについてそれらの物理アドレスと論理アドレスとの関係を前記アドレス変換手段に記憶しもしくは更新する、

ことを特徴とする外部記憶システムの制御方法。

【請求項2】請求項1において、前記制御部は、前記ホスト・プロセッサのコマンドを割り込みによって受け付け、前記コマンドがデータ読出しコマンドであるときこれに回答して該コマンドの論理アドレスに相当する前記メモリ・ブロックの該当するセクタのデータ読出しの処理を実行し、

前記コマンドが書き込みもしくは消去コマンドであるとき、これらのコマンド及びデータをバッファに保持し、前記ホスト・プロセッサからの割り込みコマンドがないときに前記選定されたメモリ・ブロックまたはセクタに対し前記書き込みもしくは消去の処理を実行する、ことを特徴とする外部記憶システムの制御方法。

【請求項3】請求項1において、前記制御部は、空白セクタを含まないメモリ・ブロックのなかで最も少ない有効セクタを含むものを対象として選定するとともに、前記メモリ・ブロックの中の特定のメモリ・ブロックの消去回数が全メモリ・ブロックの中の消去回数の最大値よりも所定値だけ小さいときは、該メモリ・ブロックを優先的に消去対象として選定する、ことを特徴とする外部記憶システムの制御方法。

【請求項4】請求項1において、前記制御部は、前記ブロック管理手段の記録に基づき、前記消去されるメモリ・ブロックの有効なセクタのデータを複写するための空白セクタを持つメモリ・ブロックを選定し、前記メモリ・ブロックの消去に先立ち、該選定されたメモリ・ブロックに前記データを複写する、ことを特徴とする外部記憶システムの制御方法。

【請求項5】ホスト・プロセッサと、フラッシュ・メモリで構成されそれぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る外部記憶装置としての半導体メモリと、前記メモリ・ブロックに対する制御を行う制御部とを備えたコンピュータ・システムにおいて、

前記制御部が、前記ホスト・プロセッサの前記コマンドに含まれる論理

アドレスをアドレス変換手段によって特定のメモリ・ブロック内のセクタを示す物理アドレスに変換し、

各メモリ・ブロックの消去回数及び各セクタとメモリ・ブロックの状況を逐次記録したブロック管理手段の記録に基づき、データの書き込み用メモリ・ブロック、該データ書き込み用メモリ・ブロックを確保するために次に消去する消去用メモリ・ブロックを各々選定し、

前記ホスト・プロセッサから受け取った書き込みデータを前記書き込み用メモリ・ブロックに書き込み、

前記選定された消去用メモリ・ブロックを消去する、ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項6】請求項5において、前記制御部が、空白セクタを含まないメモリ・ブロックのなかで最も少ない有効セクタを含むものを対象として選定するとともに、前記メモリ・ブロックの中の特定のメモリ・ブロックの消去回数が全メモリ・ブロックの中の消去回数の最大値よりも所定値だけ小さいときは、該メモリ・ブロックを優先的に消去対象として選定する、

ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項7】請求項5において、前記制御部は、前記ホスト・プロセッサのコマンドを割り込みによって受け付け、

前記コマンドがデータ読出しコマンドであるときこれに回答して該コマンドの論理アドレスに相当する前記メモリ・ブロックの該当するセクタのデータ読出しの処理を実行し、

前記コマンドが書き込みもしくは消去コマンドであるとき、これらのコマンド及びデータをバッファに保持し、前記ホスト・プロセッサからの割り込みコマンドがないときに該当するメモリ・ブロックまたはセクタに対し前記書き込みもしくは消去の処理を実行する、

ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項8】請求項5において、前記制御部は、前記メモリ・ブロックの該当するセクタからのデータ読出しの処理と、前記メモリ・ブロックまたはセクタに対する前記書き込みもしくは消去の処理とを時分割処理によって実行する、

ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項9】請求項5において、前記制御部は、前記ホスト・プロセッサからのセクタ書き込みコマンドに回答して前記選定されたメモリ・ブロックの空白セクタに前記データを書き込むと共に、前記セクタ書き込みコマンドの論理アドレスが書き込み済みの有効セクタの論理アドレスと同じときは該有効セクタのデータは消去せず、ブロック管理手段の該有効セクタに関する状況の記録だけを無効に書換え、前記空白セクタの物理アドレスを前記ア

ドレス変換手段に書き込む、

ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項10】請求項5において、前記制御部は、前記メモリ・ブロックの消去に先立ち、該メモリ・ブロックの消去回数に関する記録を退避し、該メモリ・ブロックの消去の後、該メモリ・ブロックに書き戻す、ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項11】請求項5において、前記制御部は、前記ホスト・プロセッサ側で保有する新しいファイル配置情報と外部記憶システム側で保有する古いファイル配置情報との比較によって前記メモリ・ブロックの消去に関する前記ブロック管理手段の記録を更新する、ことを特徴とするコンピュータ・システムの外部記憶装置制御方法。

【請求項12】データおよびコマンドを転送するホスト・バスを介してホスト・プロセッサに接続される外部記憶システムあって、

前記外部記憶システムは、

フラッシュ・メモリで構成され、それぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る外部記憶装置としての半導体メモリと、

前記ホスト・プロセッサから受け取った論理アドレスを特定のセクタの物理アドレスに変換するアドレス変換手段と、

各メモリ・ブロックとセクタの状況を記録するブロック管理手段及び、

前記ブロック管理手段の記録を用い、前記コマンドに応じて前記半導体メモリの各セクタに対するデータの読出し、書込みもしくはメモリ・ブロックの消去を制御するコマンド処理部とを備えている、

ことを特徴とする外部記憶システム。

【請求項13】請求項12において、前記制御部は、該コマンド処理部の処理に基づいて前記半導体メモリの該当メモリ・ブロックやセクタに対するデータの書込み、読出しもしくは消去の処理を行う、データ書込み部、データ読出し部、ブロック消去部及び消去されるメモリ・ブロックの有効セクタを他のメモリ・ブロックに複写するセクタ複写部とを備えている、

ことを特徴とする外部記憶システム。

【請求項14】請求項12において、前記制御部は、マイクロ・プロセッサによって構成されるコマンド処理部、データ書込み部、

データ読出し部、ブロック消去部及び消去されるメモリ・ブロックの有効セクタを他のメモリ・ブロックに複写するセクタ複写部と、

RAM上に構成されるブロック管理表、アドレス変換表及びバッファと、

各メモリ・ブロック上に設けられ前記ブロック管理表と

共に前記ブロック管理手段を構成するセクタ管理表とを備えた、

ことを特徴とする外部記憶システム。

【請求項15】請求項12において、前記制御部は、ホスト・プロセッサ上構成されるコマンド処理部と、主記憶装置のRAM上に構成されるブロック管理表とアドレス変換表と、

バッファを含むメモリ・コントローラと、

前記各メモリ・ブロック上に設けられ前記ブロック管理表と共に前記ブロック管理手段を構成するセクタ管理表とを備えた、

ことを特徴とする外部記憶システム。

【請求項16】ホスト・プロセッサと、フラッシュ・メモリで構成され、それぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る半導体メモリを備えた外部記憶システムと、該外部記憶システムと前記ホスト・プロセッサ間でデータおよびコマンドを転送するためのホスト・バスとを含むコンピュータ・システムにおいて、

前記ホスト・プロセッサからのアドレスを特定のセクタの物理アドレスに変換するアドレス変換手段及び各メモリ・ブロックとその中の各セクタの状況を記録するブロック管理手段を用いて、前記コマンドに応じて前記半導体メモリの各セクタに対するデータの読出し、書込みおよびメモリ・ブロックの消去を制御する制御手段とを具備し、

該制御手段は、前記ホスト・プロセッサからのコマンドにตอบสนองして前記半導体メモリの該当セクタに対するデータの書込み、読出しもしくはメモリ・ブロックの消去の処理を実行すると共に、これらの処理に伴って前記ブロック管理手段の各メモリ・ブロック及び各セクタの状況の記録を更新する手段を有する、

ことを特徴とするコンピュータ・システム。

【請求項17】請求項16において、前記コンピュータ・システムは、ホスト・バスを介してホスト・プロセッサ及び外部記憶システムに接続された表示手段を有し、前記制御手段は、

前記メモリ・ブロックのいずれにも空白セクタが無く、かつ消去すべきメモリ・ブロックも無くなったときに、前記半導体メモリが交換すべき状態にあることを前記表示手段に出力する、

ことを特徴とするコンピュータ・システム。

【請求項18】請求項16において、前記コンピュータ・システムは、ホスト・バスを介してホスト・プロセッサ及び外部記憶システムに接続された対話型の表示手段を有し、

前記制御装置は、

前記表示手段を介した対話によってユーザからファイル回復の要否の情報を受取り、ファイルの回復が必要なとき、コンピュータ・システムが保有するファイル配置情

報を参照してファイルの内容を表示し、ユーザの確認を得て前記ファイルの回復を行う、

ことを特徴とするコンピュータ・システム、

【請求項19】フラッシュ・メモリで構成され、それぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る半導体メモリにおいて、前記各メモリ・ブロックに、該メモリ・ブロックの消去回数及び各セクタの状況を表す記録を格納する特定の領域を設けた、

ことを特徴とする半導体メモリ、

【請求項20】請求項19において、

前記特定の領域は、各メモリ・ブロック内に含まれる全セクタの状況を記録するセクタ管理表として各メモリ・ブロック毎に一個設けられたものである、

ことを特徴とする半導体メモリ、

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】これらの問題を解決するために、セクタ消去型のフラッシュ・メモリの開発が進められている。例えば、シーク・テクノロジー(SEEK TECHNOLOGY)社の27F010(1024KフラッシュEPROM)は、メモリ・チップの全ビットを消去(論理1に変更)するチップ消去のほか、その中の特定のセクタだけを消去するセクタ消去が可能である。この方式では消去対象外の余分なセクタの退避や書き戻しが避けられる。しかし、セクタ書き込み時に古いセクタの消去も併せて行うため、数十ミリ秒単位の時間がかかり、磁気ディスクと同程度かそれ以下の性能しか得られない。また、特定のセクタがホスト・コンピュータによって非常に頻繁に書き込まれて他のセクタよりかなり早く許容消去回数に達してしまい、フラッシュ・メモリ全体としてセクタの有効な利用が出来ないという問題は、解決されない。更に、セクタ消去型は記憶素子やチップ構造が一括消去型よりも複雑で、コストおよび消去回数の面でも解決すべき問題があるとされている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】次に、外部記憶システム20の制御装置30の動作を説明する。コマンド処理部34は、通常、独立してセクタの書き込み、ブロック消去等の処理を実行する。そして、ホストCPU10からのコマンド及びデータを割り込みによって受け取る。図7～図8に、この通常の処理の概要を示す。まず、図7(図7A～7C)の最初のステップにおいて、ブロック管理表とアド

レス変換表の初期化を行う(702)。次に電源の遮断等のためファイルの回復が必要か判断し、必要ならばその処理を行う(704, 706)。次に、ホストCPU10からバッファ37に送られて来たコマンドがあるかチェックする(708)。もし書き込みコマンドがあれば、メモリ・ブロック40内の空白セクタの有無をチェックし(総数 $B(i, 1) > 0$ )、空白セクタがあれば書き込みを行う(710～714)。セクタ消去コマンドであれば、該当セクタの消去処理を行う(716, 718)。もし、メモリ・ブロック $i$ を消去する必要があると判定したときは、ブロック消去の処理(詳細は後述する)を開始する。このブロックの消去処理に際しては、後述するように、有効セクタを退避させるために、他のメモリ・ブロックへのセクタ複写を行う。このセクタ複写が終了すると、コマンド処理部はメモリ・ブロック $i$ の消去回数を保持した後、該当メモリ・ブロック $i$ の一括消去をブロック消去部43に命令する(720～724)。消去回数は、前に述べたように、セクタ管理表の最初の4バイトに記憶、管理し、消去完了後一つ増やして書戻す(728)。次に、消去したブロック $i$ を空白ブロック $ib$ とし(730)、セクタ管理表及びブロック管理表35の記録を更新する。すなわち、メモリ・ブロック $ib$ 内の空白セクタの数 $B(ib, 1)$ を $M$ とし、有効セクタの数 $B(ib, 2)$ を0とする(732, 734)。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】次に、消去するメモリ・ブロックの候補 $i$ を更新する。そして、「有効」セクタの数が最も少ないメモリ・ブロックを $i$ として選ぶ。ただし、あるメモリ・ブロック $i$ の消去回数が全てのメモリ・ブロックの消去回数の中の最大値より或る値以上小さい時には、「有効」セクタの数の大小に関係なく、このメモリ・ブロック $i$ を優先的に消去候補のメモリ・ブロック $i$ として選んで、消去回数の均一化を図る(736)。全てのメモリ・ブロックにもはや消去すべきメモリ・ブロック $i$ がなく、かつ空白セクタ $iw$ も存在しなければ、CRT25(図1)にメモリ交換の表示を行う(738, 740)。この表示は、余裕をもたせるべく、早めに行うようにしてもよい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】次に、上記コマンド処理部34の各処理の詳細について述べる。最初はブロック管理表とアドレス

変換表の初期化(図7A、ステップ702)である。図9(図9A、9B)は、このブロック管理表とアドレス変換表の初期化の処理の詳細である。ブロックの番号 $i$ 、セクタ番号 $j$ を初期化し空白セクタ数 $B(i, 1)$ 、有効セクタ数、有効セクタの数 $B(i, 2)$ を共にゼロにし(902、904)、セクタ管理表60からブロック $i$ 内の $j$ 番目のセクタの状況とポインタのデータ $S(i, j)$ を得る(906)。もし、セクタが空白であればブロック $i$ 内の空白セクタの数 $B(i, 1)$ に1を加える。セクタが空白でなければ、次にセクタが有効かチェックし、有効ならば、アドレス変換表36の $L$ 番目の $A(L)$ に物理アドレス68を格納し(914)、有効セクタの数 $B(i, 2)$ に1を加える(916)。以下同様にセクタ番号 $j$ がブロック $i$ 内のセクタ総数 $M$ になるまで同様の処理を行う(920)。さらに、全てのブロック $N$ について同様の処理を繰り返す(922~924)。そして次にセクタ書き込みを行うブロックの番号 $i_w$ 、消去する候補ブロックの番号 $i_e$ 、消去時にデータの退避を行うべき空白ブロックの番号 $i_b$ を決定する(926)。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】次に、ファイルの回復(図7A、ステップ706)について述べる。従来の磁気ディスク・システムでは、セクタ書替時、データがセクタ上に書き込まれるので、例えばファイルの書き込みの途中で電源に事故が生じると、古いファイル、新しいファイルの両方とも失われてしまう。これに対して、本発明では、セクタ書替時、古いセクタに書き込むことなく新しいセクタを見つけるため古いデータはそれを含むブロックが消去されるまでの間、有効であり続ける(ただし、セクタの状況フラグはすでに無効に書替えられている)。そこで、ファイルの書き込みに失敗したときには、状況フラグ64に関係なく、 $S(i, j)$ 中の $L$ の値から古いセクタ66を見つけ出しファイルを再生することが、殆どの場合可能である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】次に、セクタ消去の手順(図7Bのステップ718)を図14~図15により詳細に説明する。図15において、コマンド処理部34は、あるメモリ・ブロック $i$ のセクタの状況フラグが「有効」から「無効」になるたびに、ポインタの値 $S(i, j)$ を無効とし(1508)、ブロック管理表のメモリ・ブロック $i$ 内

の「有効」セクタの数 $B(i, 2)$ を1つ減らす(1510)。これは、セクタ・データを論理的には消去し、物理的には有効のまま保持するものである。そして、アドレス変換表の物理アドレス $A(L)$ をゼロとし、残りの「有効」セクタの数を消去候補のメモリ・ブロック $i_e$ と比較して、これより小さい時は、このメモリ・ブロック $i$ を次に消去すべきメモリ・ブロックの候補 $i_e$ として選定する。ただし、メモリ・ブロック $i_e$ の消去回数が全てのメモリ・ブロックの消去回数の中の最大値より或る値以上小さい時には、 $i_e$ の値を保持する(1514)。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】ところで、ブロック消去に先立つ有効セクタのデータ複写には時間を要するので、複写回数はなるべく少ないほうがよい。そこで、図13Cのステップ1334や、図15のステップ1514では、消去するメモリ・ブロックの有効セクタの数を最小にして、複写回数を少なく抑えるための処理を行う。そのため、今、あるセクタが無効になったときそのセクタを含むメモリ・ブロック $i$ の有効セクタの数と、消去候補のメモリ・ブロック $i_e$ の有効セクタの数の比較を行い、次の消去候補の決定を行う。その詳細を図16に示す。まず、今セクタが無効になったあるメモリ・ブロック $i$ の消去回数 $E(i)$ をそのメモリの消去回数の上限の許容値 $X$ と比較する。この上限値 $X$ は、メモリ・ブロックの仕様に応じて例えば一万回あるいは十万回に設定する。もし、 $X$ を越えているか、またはそのメモリ・ブロック $i$ に空白セクタ $B(i, j)$ があれば、消去候補の変更の必要が無くこれで判定は終了する(1602、1610)。もし、 $E(i)$ が上限 $X$ に達していなければ、次に全メモリ・ブロックの中で最多の消去回数 $Q$ を持つメモリ・ブロックと消去候補のブロック $i_e$ の消去回数 $E(i_e)$ との差が消去回数のばらつきの最大許容値 $R$ 以下か否かをチェックする(1604)。 $R$ としては、例えば100~1000の間の適当な値が選ばれる。もし、ばらつきが $R$ より大きければ、メモリ・ブロック $i$ についての検討は不要であり、判定は終了する。これにより消去回数の均一化を図る。逆に $R$ より小さければ次に、有効セクタの数 $B(i, 2)$ の比較を行う(1606)。メモリ・ブロック $i$ が消去候補のメモリ・ブロック $i_e$ よりも少ない有効セクタ $B(i, 2)$ しか持っていない時は、メモリ・ブロック $i$ を新たに次の消去候補のメモリ・ブロック $i_e$ として置き替える(1608)。なお、メモリ・ブロック $i$ 内の総セクタ数が分かっているので、この $i$ と $i_e$ の比較は有効セクタ数の代りに、無効セクタの数で行ってもよいことは言うまでも